

软件无线电数字前端的一种新实现方法

骆 骋 吴 征 粟 欣

【摘要】软件无线电 (SoftwareRadio 简称 SWR) 是 90 年代提出的一种全新的无线通信体系结构,它可使通信系统具有良好的灵活性及可扩展性。为使软件无线电中实现通用无线通信系统,较为理想的情况就是使 A/D 和 D/A 变换器尽量向射频端靠拢,即完成射频到中频的下变频后,对整个中频频段作 A/D 变换。这之后整个处理都用可编程数字器件以及软件来实现。这样的实现结构将具有非常大的灵活性,可以满足软件无线电的灵活性和可扩展性,但是系统就对数字前端 (AD 和数字下变频) 提出了较高的要求。本文提出了一种软件无线电数字前端的实现方案,可以大大降低对 AD 及数字下变频的要求。

关键词:移动通信 软件无线电 AD 变换 数字下变频

一、简介

软件无线电的目的是使通信系统具有良好的灵活性及可扩展性,是一种全新的实现无线通信的体系结构。理想的软件无线电应该在天线之后就进行数字化,所有的过程实现软件化,可编程化。目前,由于 AD 等器件性能的限制,数字化只能在中频进行。即使是这样,系统对 AD、下变频的要求仍然十分苛刻。图 1 给出了中频数字化软件无线电系统的典型结构框图。

在这种典型的软件无线电系统中,射频信号经过 RF 下变频,成为模拟中频信号,经高速 AD 采样,成为数字中频信号,然后经数字中频前端下变频和 FIR 滤波,滤波后的信号经过抽取,交给高速处理器,由软件进行处理。在这样一个系统中,中频 AD、数字下变

频和高速 FIR 滤波器通常成为处理的瓶颈。

对于一个常规的移动通信系统,AD 至少对几十兆的带宽采样,而且由于要求一定的动态范围,AD 分辨率要达到十二个比特以上。如果要对一个系统进行 50MHz 带宽内的抽取,那么根据奈奎斯特定律,为了使抽取之后的信号不混迭,就要进行两倍以上抽取。在实际系统中,通常会采用 2.5 倍以上的采样。这时,所需的 AD 采样率就是 125MHz。具有这一精度和速度的 AD 现在已经有了,但是,随着移动通信的发展,第三代、第四代的移动通信将是宽带、超宽带的系统,带宽与器件性能的矛盾依然存在。考虑到数字化是软件无线电实现的基本要求,所以研究一种数字前端的实现,使得一般性能的器件可以完成我们的要求,是很有必要的。

过去有许多关于滤波器的研究结果,包括滤波器的多相实现,这些结果在降低滤波

国家自然科学基金资助项目(批准号:69831030)

骆 骋 清华大学微波与数字通信国家重点实验室 硕士研究生
吴 征 清华大学微波与数字通信国家重点实验室 讲师
粟 欣 清华大学微波与数字通信国家重点实验室 博士后

器的实现速率方面取得了很好的成绩,具体的结论在参考文献[1]中有详细的讨论。我们在实现软件无线电的过程中,对软件无线电的数字前端进行了研究,提出一种可以大大缓解数字前端压力的方案,并在本文中给出推导。本文第二部分,将给出实现的数学基础;第三部分给出了单个信道的实现方案;第四部分给出一定频带内,均匀分布信道的实现方案。

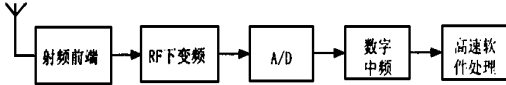


图1 软件无线电系统的结构框图

二、滤波抽取的等效变换及滤波器的多相变换^[1]

现在考虑一个由低通滤波器和 D 倍抽取电路所组成的系统。 $x(n_1 T_1)$ 为输入信号, $y(n_2 T_2)$ 为滤波及抽取之后的输出, $H(\cdot)$ 为滤波器的转移函数, D 表示对信号进行 D 倍抽取,也即 $T_2/T_1 = D$ 。那么,滤波之后再抽取和抽取之后再滤波的电路如图2所示,(a)、(b)两个电路是等效的。 Z_1 和 Z_2 分别是对应 n_1 、 n_2 的 Z 变换。图中要求

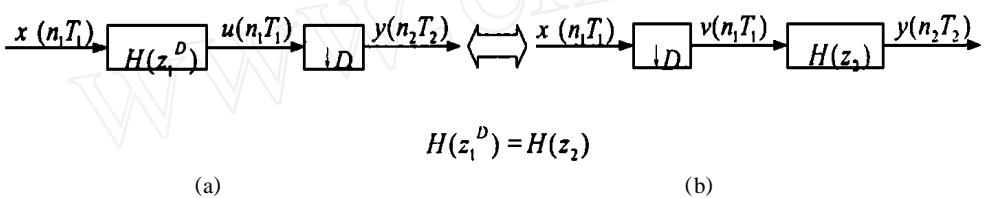


图2 抽取及滤波的等效变换

$H(z_1^D) = H(z_2)$,实际上(a)电路的滤波器相当于(b)电路的滤波器时域响应中内插 $D - 1$ 个0的结果。

另外,针对某个特定的 FIR 滤波器,可以考虑将它进行多相分解^[1],设 FIR 滤波器

的转移函数为 $H(z) = \sum_{n=0}^{N-1} h(n) z^{-n}$, N 为滤波器的长度,按照 z^{-n} 中 n 对 D 求模所得余数把 $H(z)$ 分成 D 组,那么

$$\begin{aligned}
 H(z) = & \sum_{n=0}^{Q-1} h(nD+0)(z^D)^{-n} + z^{-1} \sum_{n=0}^{Q-1} h(nD+1)(z^D)^{-n} + \dots \\
 & z^{-N \bmod(D)} \sum_{n=0}^{Q-1} h(nD+N \bmod(D))(z^D)^{-n} + \dots \\
 & z^{-N \bmod(D)-1} \sum_{n=0}^{Q-1} h(nD+N \bmod(D)+1)(z^D)^{-n} + \dots \\
 & + z^{-(D-1)} \sum_{n=0}^{Q-1} h(nD+D-1)(z^D)^{-n} \quad (1)
 \end{aligned}$$

其中 $Q = \lceil N/D \rceil$,如果设 $E_k(z^D) = \sum_{n=0}^{Q-1} h(nD+k)(z^D)^{-n}$,其中 $k = 0, 1, \dots, D-1$,则 $H(z)$ 就可以表示成 $H(z) = \sum_{k=0}^{D-1} E_k(z^D) z^{-k}$ 。图3给出了上述条件下的多相变换的示意图。

三、单路信道 AD、滤波及抽取的低速实现

有了前面的讨论基础,我们就可以对数字序列进行 FIR 滤波及抽取的系统进行等效变换。先对 $H(z)$ 进行多相分解,再对多相分解后滤波器的每一分支进行滤波和抽取

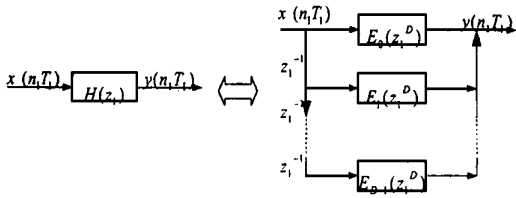


图3 多相等效变换

的位置变换。在这里我们设抽取的倍数为 D ，同时多相分解时就按 D 分组。变换后的结构如图4所示(图中 $D=4$)。

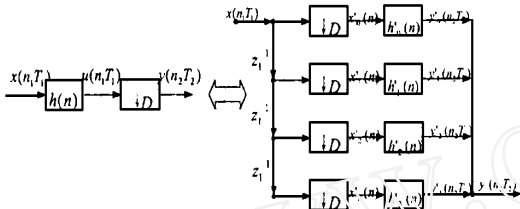


图4 对 FIR 滤波及抽取的等效变换

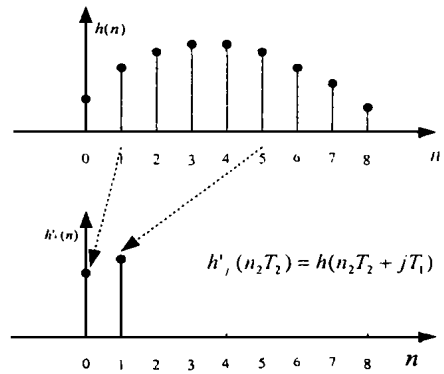
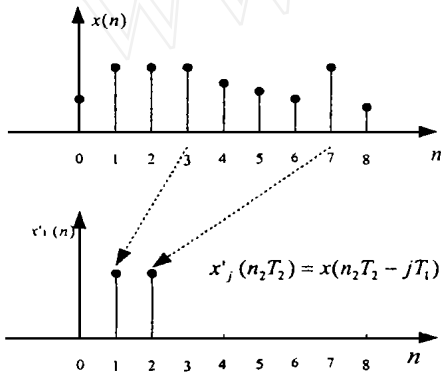


图5 $x(n)$ 与 $x_j(n)$, $h(n)$ 与 $h_j(n)$ 的关系

这样变换的好处主要是将串行的高速的数据处理转换成并行的低速的处理,使系统对速度的要求大大下降。同时,我们研究 $x(n)$ 与 $x_j(n)$, $h(n)$ 与 $h_j(n)$ 的关系,得到图5。 $x(n)$ 与 $x_j(n)$ 的关系我们可以用 D 个并联 AD 来代替一个高速 AD。这些并联 AD 采样时钟的相位有固定的关系,以第一路的时钟为参考,则后面每个 AD 的相位都延迟 $1/D$ 的时钟周期(即:时钟的相位分别是 $0, 1 \times 2 / D, 2 \times 2 / D, \dots, (D - 1) \times 2 / D$)。这种时钟关系用高速时钟和高速分频电路可以很容易地实现。当然,如果 AD 的保持精度不够,就需要在 AD 前端加高速的采样保持电路。图6给出了这一实现的电路结构。

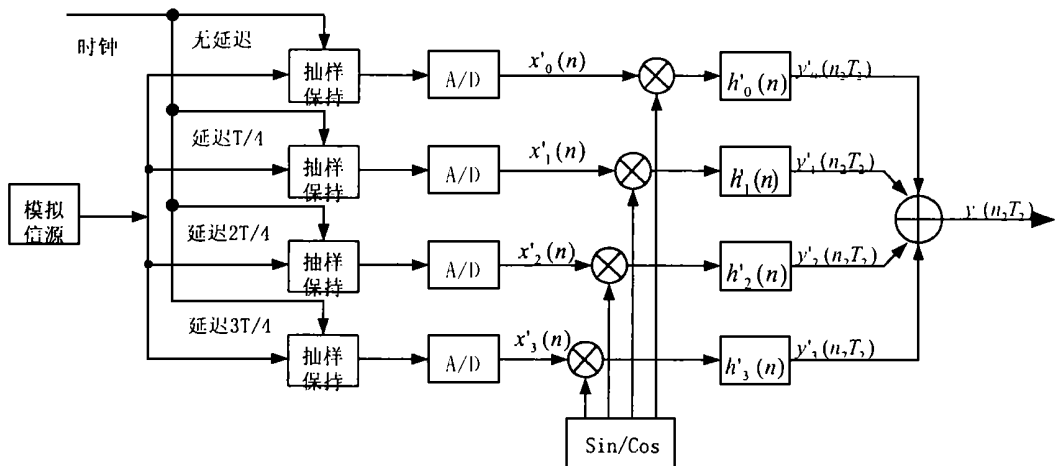


图6 单路信道 AD、滤波及抽取的低速实现

图6中,我们采用了一个保持电路来实 现各 AD 的采样相位和精度。目前,高速的

保持电路可以做到零点几个纳秒,这种并联结构可以工作到上 G 的频率,只要适当地选择 D ,就可以用一般的 AD 实现高速甚至超高速的采样。实际上,目前的 AD 内部的保持电路做到几纳秒也不是特别困难,因此在几百兆的应用时完全可以不用高速保持电路,而直接用 AD 进行采样就行了。这样通过串并转换将量化速度降低,可以提高采样分辨率。采用这一方案对现有的 AD 的依赖较小,可满足更高速率的系统的要求,有利于进一步扩展。

同时,根据滤波器的多相结构,我们可以采用并联结构实现后面的滤波器和下变频(如果有的话)。对于下变频来说,只要乘上相应的正弦或余弦值,实现并联很简单。 $h_0(n), h_1(n), h_2(n), h_3(n)$ 则需要根据多相结构滤波器的特点采用相对应的 $h(n)$ 的系数。之后, D 路相加输出。这样的实现在数学上和原结构是完全等价的,并且这样的实现结构大大降低了对器件(包括 AD、滤波器)的要求。

四、多路均匀信道 AD、下变频、滤波及抽取的低速实现

进而,我们可以推出多路均匀信道的低速实现。多路均匀信道就是在移动通信中常

$$u_k(n_1 T_1) = \sum_{n=-} v_k(n T_1) h(n_1 T_1 - n T_1) = \sum_{n=-} x(n T_1) e^{-j\frac{2\pi}{D}kn} h(n_1 T_1 - n T_1) \quad (5)$$

定义 $W_D = e^{-j\frac{2\pi}{D}}$, 同时有 $y_k(n_2 T_2) = u_k(n_2 D T_1)$, 则可以得:

$$y_k(n_2 T_2) = \sum_{n=-} x(n T_1) W_D^{kn} h(n_2 D T_1 - n T_1) \quad (6)$$

其中设 $n = iD - j$ ($i = -$, $-$, 0 , $;$ $j = 0, 1, , D - 1$), 就有

$$y_k(n_2 T_2) = \sum_{i=-} \sum_{j=0}^{D-1} x(iD T_1 - j T_1) W_D^{kj} h(n_2 D T_1 - iD T_1 + j T_1) = \sum_{j=0}^{D-1} \left[\sum_{i=-} x(iD T_1 - j T_1) h(n_2 D T_1 - iD T_1 + j T_1) \right] W_D^{kj} \quad (7)$$

设 $y_j(n_2 T_2) = \sum_{i=-} x(iD T_1 - j T_1) h(n_2 D T_1 - iD T_1 + j T_1)$

用的频分信道,在频谱上的表现是一个连续的频带内均匀分布着带宽相同的子频带,每个子频带的间隔也均匀。对于这种信道结构,我们在解调时常采用图 7 的结构。实现时,通常对每个频分信道的处理如图 8 所示。

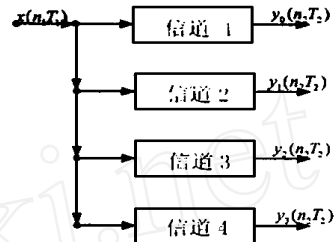


图 7 多路均匀信道的信道化

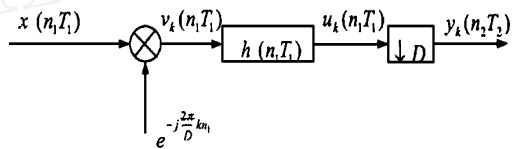


图 8 每路信道经过下变频、滤波和抽取

我们不妨设一共有 D 路子信道,对第 k 路信道 ($k = 0, 1, \dots, D - 1$), 它要经过下变频、滤波和抽取。对于这样的电路实现,信道数 D 就可以直接做为它的抽取倍数。图中各点信号有以下关系:

$$y_k(n_2 T_2) = u_k(n_2 D T_1) \quad (2)$$

$$u_k(n_1 T_1) = v_k(n_1 T_1) * h(n_1 T_1) \quad (3)$$

$$v_k(n_1 T_1) = x(n_1 T_1) e^{-j\frac{2\pi}{D}kn_1} \quad (4)$$

由此可以推出:

$$u_k(n_1 T_1) = \sum_{n=-} v_k(n T_1) h(n_1 T_1 - n T_1) = \sum_{n=-} x(n T_1) e^{-j\frac{2\pi}{D}kn} h(n_1 T_1 - n T_1) \quad (5)$$

定义 $W_D = e^{-j\frac{2\pi}{D}}$, 同时有 $y_k(n_2 T_2) = u_k(n_2 D T_1)$, 则可以得:

$$y_k(n_2 T_2) = \sum_{n=-} x(n T_1) W_D^{kn} h(n_2 D T_1 - n T_1) \quad (6)$$

其中设 $n = iD - j$ ($i = -$, $-$, 0 , $;$ $j = 0, 1, , D - 1$), 就有

$$y_k(n_2 T_2) = \sum_{i=-} \sum_{j=0}^{D-1} x(iD T_1 - j T_1) W_D^{kj} h(n_2 D T_1 - iD T_1 + j T_1) = \sum_{j=0}^{D-1} \left[\sum_{i=-} x(iD T_1 - j T_1) h(n_2 D T_1 - iD T_1 + j T_1) \right] W_D^{kj} \quad (7)$$

设 $y_j(n_2 T_2) = \sum_{i=-} x(iD T_1 - j T_1) h(n_2 D T_1 - iD T_1 + j T_1)$

然后定义,

$$x_j(n_2 T_2) = x(n_2 T_2 - j T_1)$$

$$h_j(n_2 T_2) = h(n_2 T_2 + j T_1)$$

则 $y_j(n_2 T_2) = x_j(n_2 T_2) * h_j(n_2 T_2)$,

进而得到

$$y_k(n_2 T_2) = \sum_{j=0}^{D-1} y_j(n_2 T_2) W_D^{kj} \quad (8)$$

这样我们就可以利用 DFT 进行运算。于是我们得到这种多路信道处理的 DFT 滤波器组实现方案,如图 9 所示。

同样根据上节所得到的信号时序关系我们可以得到一种降低 AD 采样速率和滤波器

处理频率的实现方法,如图 10 所示。

这种方案中 DFT 的采用大大节约了系统的资源,同时并联的结构使系统可以工作在较高的频率。

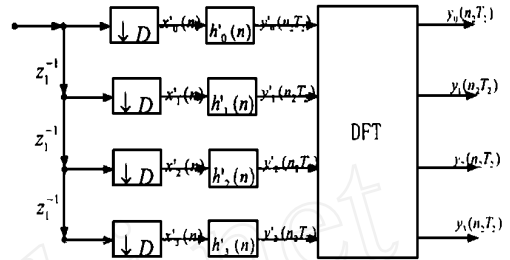


图 9 多路信道的 DFT 实现结构

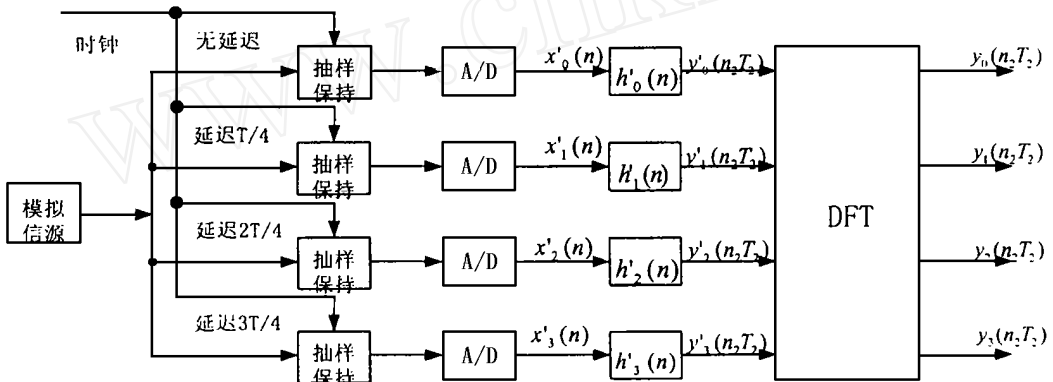


图 10 多路信道的并联 AD 实现结构

五、总结

本文原理性地推出了一种软件无线电的数字前端实现。这种实现即使应用于 $D = 2$ 时都可以大大降低整个系统的速度要求。对于目前软件无线电在移动通信领域的应用而言,这一方案可以很方便的实现高速的数字前端,并且电路的复杂度没有显著的增加,对于多路均匀信道的条件,甚至可以减少很多。当然,随着电路应用频率的增加,信号在电路板上的时延都将成为考虑的因素,这时候并联 AD 的要求将会十分苛刻,但是,在这种情况下,传统的方法也已经无能为力了。对于软件无线电在近期的应用(几十兆到几百兆)而言,这个方案是游刃有余的。

参考文献

- 1 宗孔德. 多抽样率信号处理[M]. 北京:清华大学出版社,1996
- 2 王际兵等. 软件无线电发展动态[J]. 清华大学学报,1999(9):86-89
- 3 A.V.Oppenheimer and R.W.Schafer. Discrete-Time Signal Processing[M]. Englewood Cliffs, NJ: Prentice Hall, 1989
- 4 L.R.Rabiner and B.Gold. Theory and Application of Digital Signal Processing[M]. Englewood Cliffs, NJ: Prentice Hall, 1975
- 5 Petrowski, Mike; Chester, David B.; Young, W. Ronald. Single-Chip Digital Down Converter Architecture. Proceedings-ICASSP[C], 1993, 1349-1352

(2000-05-22 收到)