

CDMA2000 数字中频的设计

於 猛,赵春明

(东南大学移动通信国家重点实验室, 南京 210096)

摘 要 :在 CDMA2000 系统中,信道是经过 QPSK 四相扩频正交调制传输的,数字中频与模拟中频相比能产生严格的幅相平衡正交信号,处理时能保证有严格的线性相位。为此介绍了 CDMA2000 系统数字中频调制解调实现的方案,对其中抗混叠滤波器、数字频率合成器的设计方法进行了详细的讨论,最后给出了用基于高密度逻辑门电路可编程集成片编辑器(FPGA Compiler)实现的结果。

关键字 :数字中频;数字频率合成器;数字滤波器

中图分类号 :TN929.533

文献标识码 :B

文章编号 :1006-7442(2002)02-0025-03

1 引言

第三代移动通信系统的主要目标是为用户提供最高数据速率为 2 Mbit/s 的无线接入多媒体业务,如视频、图像传输、无线接入 Internet 及 IP 服务等。随着通信技术和人们对通信需求的不断提高,未来的个人移动通信系统不仅能保证任何人在任何地点、任何时候,以任何方式与任何人进行通信,而且还将是语音、数据、图像等多种业务并存的多媒体通信系统。CDMA2000 即是第三代移动通信系统 IMT-2000 无线传输系统的技术标准之一。

在 CDMA2000 中,前反向信道都是 QPSK 正交扩频调制^[1]。调制与解调时需要正交的中频载波分量。如图 1 模拟中频调制与解调的示意图所示,模拟调制方法是将 I、Q 两路信号先进行数模转换,然后再用模拟电路产生的中频本振信号对其进行中频调制。而解调方法则是将中频信号

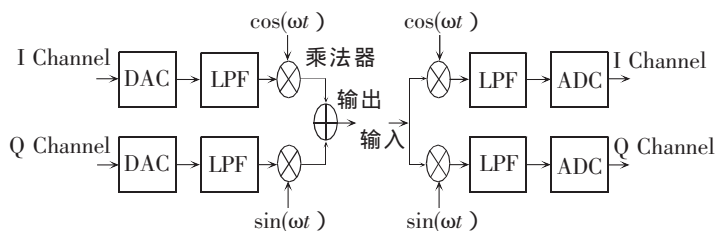


图 1 模拟中频调制与解调示意图

用模拟正交分量解调至基带,并在滤波后再进行模数转换,得到数字的 I、Q 两路信号。这样的方法简单实用,但由于目前的模拟频率发生器的器件不可避免地存在相位与幅度的差异,使产生的信号正交性不够理想、不能满足标准^[2]规定的发射信号波形的质量因子需大于 0.912 的要求。同时对解调信号也有影响,解调时的模拟滤波器很难实现严格的线性相位,致使信号的相位发生畸变等等。但是,直接数字频率合成的方法可以产生相位严格正交、幅度完全相同的中频信号,且数字滤波器也可以实现严格的线性相位。可见,由数字滤波器与数字频率合成器组成的数字中频调制解调部分可以提高信号处理的质量,因此本文在第二部分中主要介绍数字中频调制与解调部分的组成原理,在第三、四部分中将详述抗混叠滤波器与数字频率合成器的设计,并在第四部分中给出基于 FPGA 的硬件设计结果。

2 数字中频调制与解调部分的基本组成

数字中频调制器是由直接数字频率合成器

作者简介

於 猛(1977-):男,东南大学无线电工程系通信专业硕士研究生。主要研究第三代移动通信和数字信号处理等。

赵春明(1959-):男,东南大学无线电工程系教授、博士生导师,移动通信国家重点实验室副主任。主要研究通信与信息系统。

收稿日期:2001-11-15

(DDFS)、乘法器、数模转换器(DAC)、模拟低通滤波器(LPF)组成的。它的基本工作原理如图 2 所示。

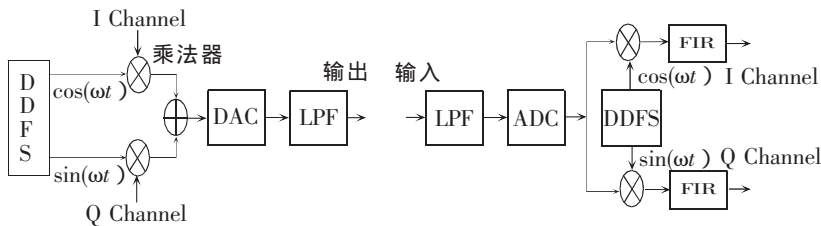


图 2 数字中频调制与解调示意图

工作时，直接数字频率合成器产生正交的正弦和余弦信号，和 I、Q 两路信号相乘，得到数字的中频信号，再由数模转换器转换成模拟信号，经过低通滤波器滤波后成为合成的信号。相应的解调器则是由模拟低通、模数转换器(ADC)、直接数字频率合成器(DDFS)、乘法器、抗混叠滤波器(FIR)组成的。工作时，由 DDFS 产生正交信号与 ADC 输出的信号相乘，输入到抗混叠滤波器之中，滤除二倍频分量与带外噪声后，得到解调的 I、Q 信号。

3 抗混叠滤波器的设计

频率分集是扩频通信的一种重要分集方式。为了发挥频率分集的作用，采用带内波动最小的原则来设计滤波器，以减少带内衰减。滤波器用无乘法器的方法来实现，可以节省很多资源。

无乘法器的方法就是利用移位和加法器来进行乘法运算。一个 FIR 滤波器的系数可以用一组 SPT (Signed-Powers-of-Two) 的和来表示，即：

$$h_{\text{spt}}(n) = \sum_{k=1}^{L_n} S_{k,n} 2^{-p_{k,n}} \quad (1)$$

式中 $S_{k,n} \in \{-1, 0, 1\}$, $S_{k,n} \in \{0, 1, \Lambda, M\}$ 。系数 $h_{\text{spt}}(n)$ 由 L_n 个 M bit 字长的 SPT (Signed Power of Two) 码和所构成。这种表达式表示的滤波器，实现起来不需要乘法器，可以用移位和加法器代替。一般说来，SPT 码越简单越好，即码中的非零量越少越好，这样可以大大减少硬件的复杂度。

SPT 码有几种表达式，其中有一种称为 CSD (Canonic Signed Digit)，是表达式中最简单及唯一的一种，因而可以用最少的资源来表达一个数。CSD 码定义为没有两个非零的 SPT 码元，是相邻的。即：

$$S_{k,n} \cdot S_{k-1,n} = 0 \quad (2)$$

文献^[3]表明，一个 M bit 的系数所需 SPT 的平均个数是 $M/3+2/9$ 。

在确定滤波器无穷精度系数之后，用优化算法^[4]进行优化，得到 CSD 表示的整数系数。滤波器的频率响应如图 3 所示。阻带衰减大于 40 dB，通带波动小于 1 dB。

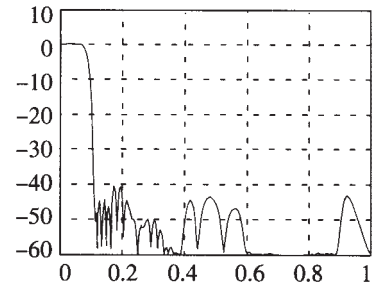


图 3 滤波器幅频响应

4 数字频率合成器的设计

数字频率合成是数字中频调制的关键部分，是由相位累加器、相位幅度映射单元构成的，如图 4 所示。

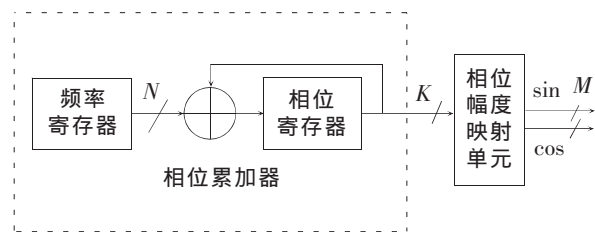


图 4 数字频率合成器

相位增幅存储在频率寄存器之中，每个时钟周期，相位增幅与相位累加寄存器中的值相加，之后存入相位累加寄存器。相位累加寄存器的值再输入至相位幅度映射单元之中，然后输出周期性的正弦余弦信号幅度值。

常见的相位幅度映射单元由查找表构成，查找表将待发生波型的一个周期，均匀地取 2^k 个相位的值存储在表里。查找表耗用的资源由寻址字长 K 和存储字长 M 决定，为 $2^k \times M$ 比特。发生信号的无杂散动态 (SFDR) 与存储字长 M 的关系约为 6 dB 的关系。每增加 1 比特，SFDR 约提高 6 dB。存储字长 M 提高后，寻址字长 K 也必须相应增加。这样，查找表耗用的资源是很大的。同时 K 增大后，寻址逻辑的复杂度也会增加，使译码的速度降低。而 M 增大后，则会增大扇出系数，而影响器件工作的频率。因此，要降低耗用资源，提高工作频率必须利用信号的时域特点减少查找表的寻址字长和存储字长。

由于所要产生的信号是正弦信号，对 π 呈中心对称，对 $\frac{\pi}{2}$ 呈轴对称，只需存储四分之一周期的值，即可利用对称关系得到全周期的信号。余弦信

号的产生可由相位加 $\frac{\pi}{2}$ 查表得到。正弦余弦信号共用一个查找表, 而寻址字长可减少。如式 (3):

$$y = \sin x - \frac{2x}{\pi} \quad (3)$$

在区间 $[0, \frac{\pi}{2}]$ 中的值, 发现值分布在 $[0, 0.211]$ 内。同样精度的数, 存储差值为 (4 式):

$$\text{error1} = \sin x - \frac{2x}{\pi} \quad (4)$$

其字长可以比存储 $\sin x$ 少。

观察差值 error1 可以发现, 最大值约在 $x = \frac{\pi}{4}$ 处出现, 其值接近 0.25。因此, 可以用 (5) 式:

$$y_2 = \begin{cases} \frac{x}{\pi} & 0 \leq x < \frac{\pi}{4} \\ 0.5 - \frac{x}{\pi} & \frac{\pi}{4} \leq x < \frac{\pi}{2} \end{cases} \quad (5)$$

来近似 error1。令 (6) 式:

$$\text{error2} = \begin{cases} \text{error1} - \frac{x}{\pi} & 0 \leq x < \frac{\pi}{4} \\ \text{error1} - (0.5 - \frac{x}{\pi}) & \frac{\pi}{4} \leq x < \frac{\pi}{2} \end{cases} \quad (6)$$

其 error2 的差值分布在 $[0, 0.211]$, 存储 error2 的字长可以比存储 error1 少。为了运算简单, 在相位累加器, 频率寄存器中不存储实际相位值, 而用 $\frac{\phi}{2\pi}$ 表示相位 ϕ 进行存储、运算和映射。

设计结果的仿真曲线如图 5 所示。SFDR 达到 54 dB。

5 FPGA 实现

在完成了对数字中频调制的设计后, 我们采用 VHDL 语言对各个模块进行了描述, 并运用 Synopsys 公司的 VSS 仿真工具进行了功能仿真和验证。在验证了功能的正确性以后, 采用 EDA 综合工具高密度逻辑门电路可编程集成片编辑器 (FP-

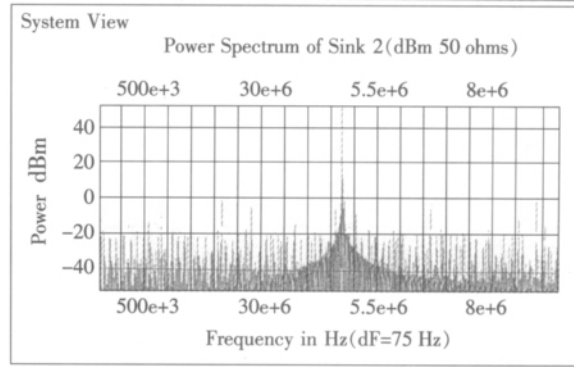


图 5 DDFS 频谱

GA Compiler) 对电路进行了综合和优化。最后我们利用 Xilinx 公司提供的 Vertex 工艺库, 将综合得到的门级网表, 通过布局布线工具下载到了一片 Vertex1000E 上。设计的结果如下: 中频调制耗用 slice 432 个, 占 4%; 中频解调耗用 slice 687 个, 占 6%。实际测量表明, 使用传统的中频调制波形质量因子只能达到 0.88, 而使用数字中频后, 波形质量因子达到 0.95, SFDR 达到 50 dB。

参考文献

- [1] IS-2000.2-A. Physical Layer Standard for cdma2000 Spread Spectrum Systems. TIA TR45. 2000, 9.
- [2] 3GPP2 TSG-C. Recommended Minimum performance Standards for cdma2000 Spread Spectrum Mobile Stations. 2001, 3.
- [3] C. L. Chen, A. N. Willson Jr.. A trellis search algorithm for the design of FIR with signed-powers-of-two coefficients. IEEE Trans. Circuits and System II: Analog and Digital Signal Processing. 46(1) 29-39. 1999, 1.
- [4] Y.C.Lim, S.R.Parker. FIR filter design over a discrete powers-of-two coefficient space. IEEE Trans. Acoust, Speech, Signal Processing. ASSP(31): 583-591. 1983, 1.

Design for CDMA2000 Digital Intermediate Frequency

YU Meng, Zhao Chun-ming

(National Communication Lab. Southeast University, Nanjing 210096, China)

Abstract: In CDMA system, the channels are transmitted via to QPSK quadrature modulation. Comparing with analog IF, digital IF can produce strict amplitude balance quadrature signal, which can guarantee strict linear phase while processing. This paper presents a pattern of digital IF for CDMA system and the method to design antialiasing filter and digital frequency synthesizer in detail. At last, the implementation results based on FPGA are given.

Key words: digital IF; DDFS; digital filter