

适合中国 3G TD-SCDMA 标准的数字前端解决方案

作者：Tim James, Multiple Access Communications Limited 公司首席工程师
 David Kenyon, Multiple Access Communications Limited 公司管理总监
 Sam Chalmers, Multiple Access Communications Limited 公司首席工程师
 温得敏 博士, IEEE 高级会员, 赛灵思公司无线基础设施垂直市场系统架构师

时分同步码分多址 Time Division-Synchronous Code Division Multiple Access 是中国自主研发的第三代蜂窝通信标准,也是两个 3GPP 时分蜂窝标准之一(另一个是 TD-CDMA)。TD-SCDMA 与同类标准不同之处在于码片速率低,并且上行链路提供时间同步传输能力。中国目前在这一标准的研发方面已经进行了大量投资,到目前为止已经成功建设了多个测试和试验网络。一旦中国颁发 3G 牌照,相信 TD-SCDMA 网络会很快实现部署。

TD-SCDMA 的突出系统特点

TD-SCDMA 系统有两大突出特点:首先,考虑到其上行传输(手机到基站)的时间同步特点,被称为联合检测(joint-detection)的高级信号处理技巧在基站恢复每个用户的传输。在理想情况下,利用联合检测可以完全消除

同一小区内来自其它用户的干扰,因此与其它异步匹配检测技术相比,可以提高系统容量。第二个突出特点是使用自适应波束成形(beam forming)提高信噪比并减轻干扰。

利用赛灵思 FPGA 可以高效实现联合检测功能,但本文的重点基于 FPGA 的成本经济的 TD-SCDMA 数字前端(DFE)解决方案。波束成形需要在基站使用多个天线(通常为 6 个~8 个天线)。在下行链路,一个小区中的每个载波在经过适当的相位和幅度加权以及上转换以后,传输到对应的天线。在上行链路,每个天线接收到的信号需要下变频转换到基带。上变频和下变频功能分为模拟和数字两个部分。在数字部分,这些功能采用数字上变频器(DUC Digital Up Conversion)和数字下变频器(DDC Digital Down Conversion)完成,两者共同构成数字前端(DFE)。图 1 是一个基站模拟和数字前端的通用示意图。

对于每个小区使用六个天线和六个载波的情况,共需要 36 个通道,通常这意味着需要大量专用标准产品(ASPP)芯片。无论是从功耗方面,还是从 PCB 面积方面,这都意味着昂贵的成本,更不用提还有可靠性问题。本文描述了一种基于 FPGA 的 DFE 解决方案。该方案使用了 Multiple Access Communications (MAC) Limited 公司为赛灵思公司开发的经过预先验证和优化的 Xilinx System Generator for DSP TD-SCDMA DFE IP 库。

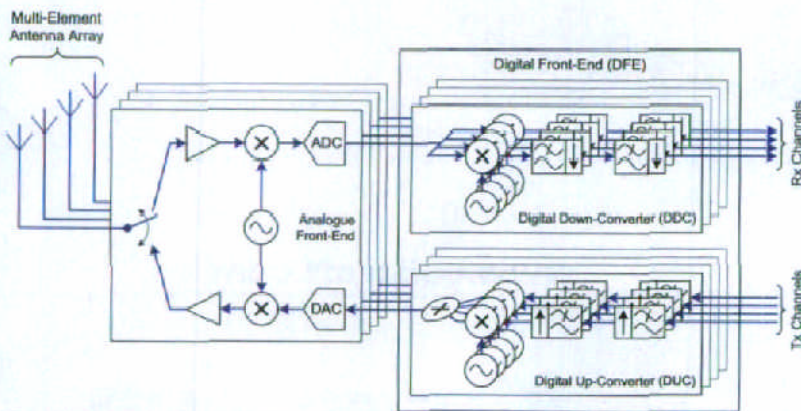


图 1. 带数字前端 (DFE) 的射频卡

TD-SCDMA DFE 解决方案

使用赛灵思芯片器件(FPGA)能够以极高的资源利用率实现一个符合采样速率和调节范围要求、同时包括DUC和DDC模块的数字前端(DFE)解决方案。基于Xilinx System Generator for DSP工具的DFE库支持针对不同天线和载波配置实现快速方便的重新配置、实现和验证,不需要重新设计或修改DUC和DDC链路上的基本模块,因此用户可以从容应对基站DFE设计的复杂性。

TD-SCDMA DFE库中包含了创建DUC和DDC链路所需要的所有System Generator IP块,包括滤波器、本地振荡器和混频模块以及不同的输

入和输出格式模块。DFE库是参考设计包的一部分。该参考设计包还包括一个用于硬件协同仿真的18通道设计实例、用于实现3GPP兼容性测试的MatLab测试脚本以及一个运行在Nallatech V4 XtremeDS套件上的全速演示解决方案。根据客户要求,赛灵思公司可向客户提供这一参考设计包。

图2和图3给出了利用TD-SCDMA DFE库中的IP模块实现的DUC和DDC信号路径细节。库中的基本模块是优化的6通道DUC和DDC模块,调谐范围均为9.6 MHz,中频(IF)采用速率为76.8 MSps,即TD-SCDMA 1.28 Mcps码片速率的60倍。基带数据以码片速率输入和输

出。信号路径经过仔细设计,可实现最优的资源效率,并使用307.2 MHz系统时钟。这一高性能是充分发挥V4 SX FPGA中集成的DSP48功能的结果。

信号处理的大多数操作都是在6通道“TD-SCDMA DUC”模块中完成的。添加“本地振荡器”和“DUC混频器”资料库模块是为了将DUC的复合输出从零转换成一个更为实用的中频。这一子系统生成是针对单天线输出的。只需简单地复制这一子系统,就可以支持多单元天线系统。

这样,支持任意数量的天线就变得相对简单了。那么,对于需要的载波器少于六个时,又该怎么设计呢?

在这种情况下,如果使用“完整的”六载波器设计,尽管也不失为完全可行的解决方案,但会导致过大的FPGA设计。最坏的情况下,可能导致难以使用较小的器件,因而大大增加解决方案的成本。

如果解决方案要求用户手动删除任何不需要的逻辑,或涉及实现和提供一整套预定义的变量,这无疑与“让用户不必掌握设计的复杂细节”这一使用资料库的初衷背道而驰。相反,DFE库提供了一些精巧的附加逻辑,可帮助下游设计工具在构建时将未使用的逻辑优化掉。这样,用户只需要使用适当的库模块,并终止未使用

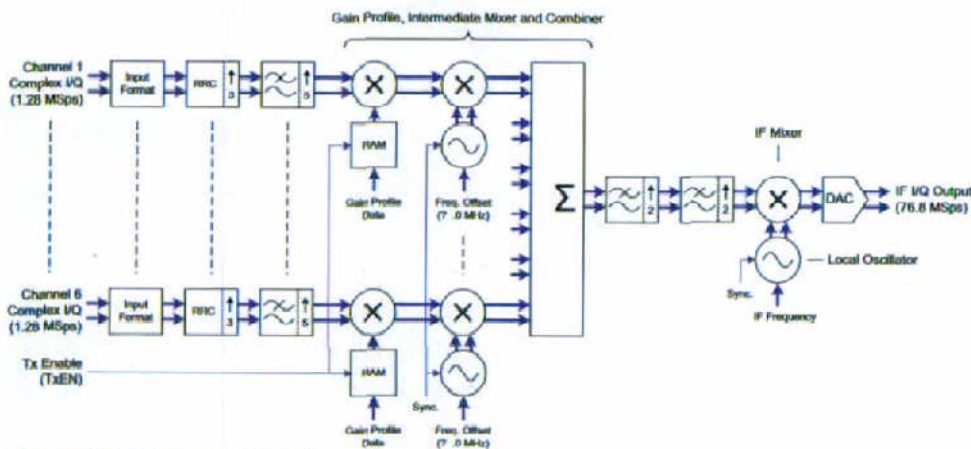


图2. 数字上变频 (DUC) 信号通道

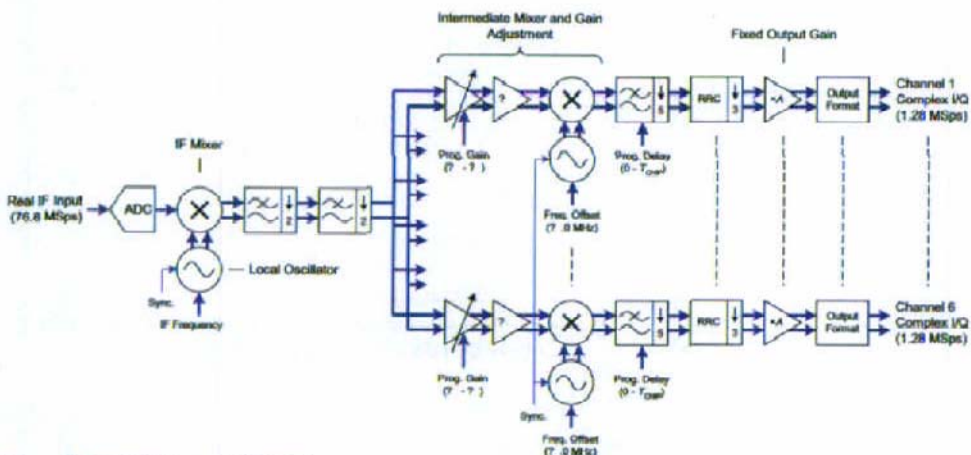


图3. 数字下变频 (DDC) 信号通道

表 1, 3GPP 兼容性测试结果

3GPP 参数	3GPP 要求	测量性能结果	裕量
占用带宽[1]	99%	99.99998%	>0.999%
ACLR	40 dB	82 dB (单载波,任意IF)	42 dB
		82 dB (六载波, 19.2 MHz IF)	42 dB
		77 dB (六载波,其它IF)	37 dB
EVM	12.5 %	1.6%	10.9%
频谱屏蔽 (Spectrum Mask)	54 dB at 815 kHz	85 dB	31 dB
ACS	49 dB	78 dB	29 dB
阻塞	64 dB	84 dB	20 dB

1. 占用带宽测试中, 1.6 MHz功率超过总功率 99%。这等于 3GPP BS兼容性技术要求中描述的方法, 但略有不同。

表 2, 一个 18 通道 DFE 解决方案的资源利用率

设计描述	逻辑片	BRAM	DSP48s
DUC (三天线, 六载波)	3056	53	60
DDC (三天线, 六载波)	2600	47	63
总计	5656	100	123
SX25 利用率	55%	78%	96%
SX35 利用率	37%	52%	64%

表 3, 12 通道解决方案的资源利用率

设计描述	逻辑片	BRAM	DSP48s
DUC (四天线, 三载波)	2917	46	56
DDC (四天线, 三载波)	2145	38	52
总计	5062	84	108
SX25 利用率	49%	66%	84%
SX35 利用率	33%	44%	56%

的输入就可以了。3 通道 DUC 设计利用“未使用的 BB 输入”模块将通道 3 到 6 阻断, 同时这些通道的控制输入也被固定了恒定值。现在, 尽管此设计使用的是 6 通道 DUC 子系统构造, 但那些专为未使用通道预备的所有逻辑、Block RAM 和 DSP48 都会在构建时被删除。

对于 DDC, 使用标准的 Simulink Terminator 模块终止未使用的输出, 并将未使用的控制端口固定为定值, 就可以将未使用的通道优化掉。对于 DUC, 只需要简单地复制单天线设

计, 就可以支持多个天线。

前面假设 9.6 MHz 的调谐范围是足够的, 对于需要大于 9.6 MHz 调谐范围的应用, 可以通过级联两个同样 DUC 或 DDC 模块的方式扩展调谐范围, 例如, 调整到 15 MHz 的范围。

3GPP 兼容性测试和性能验证

如上所述, TD-SCDMA DFE 库模块组中的 IP 模块设计满足 TS25.105 中的 3GPP 要求。因此, 可以确保对于任何基于该 IP 库的系统都可以满足相关的 3GPP 要求, 如频谱屏蔽

和邻近信道泄漏比 (ACLR), 并且有足够的余量来弥补模拟器件的失真效应。

表 1 给出了与 3GPP 要求相关的性能总结, 包括每个参数提供的余量。针对 DUC 和 DDC 功能的 3GPP 兼容性测试 (以 MatLab 脚本的方式实现), 脚本使用了硬件协同仿真 (运行在 National Instruments V4 XtremeDSP 套件之上), 表 1 给出的性能数据就是由这些测试给出的。

采用运行全速 12 通道设计的 V4 XtremeDSP 套件还进行了进一步的实际测试。利用 V4 开发板上的 14 位数模转换器生成 19.2 MHz 的 IF 输出信号。DAC 输出被馈送到安捷伦 (Agilent) 频谱分析仪中。

实施结果

综上所述, 利用 TD-SCDMA DFE IP 库可以实现和配置从单载波、单天线, 直到六载波、多天线的各种不同 DFE 配置, 唯一的限制就是可用的 FPGA 资源。表 2 和表 3 分别给出了实现一个六载波、三天线配置的半区方案, 和一个三载波、四天线配置的半区方案所需要的 FPGA 资源。换句话说, 两种情况下实现全区设计也只需要两片 SX25 器件。两个例子的中频带宽均为 9.6 MHz。

结论

由于 TD-SCDMA 标准的波束成形 (beam forming) 要求, 因此基站需要大量上变频 / 下变频 (DUC / DDC) 通道。本文表明利用赛灵思 V4 SX FPGA 和赛灵思 TD-SCDMA DFE 库可以实现高效快速的符合 3GPP 标准的 TD-SCDMA 数字前端 (DFE) 解决方案, 从而使设备供应商能够集中更多精力来实现产品差异化并加快产品的上市时间。