

WCDMA 下行链路解复用技术的 FPGA 实现

东南大学移动通信国家重点实验室 周小燕

摘要 WCDMA 系统采用独特的信道编码复用方案支持多媒体业务的传输,较好地实现对具有不同速率和 QoS 要求的各种业务的承载,然而也大大增加了系统的复杂度,并引入了长的处理时延。文章针对 WCDMA 技术规范,采用基于地址映射的搬移算法,用较少的硬件资源和较短的处理时延,实现了下行链路的解复用。

关键词 WCDMA 下行链路 速率匹配 交织 传输信道复用 编码组合传输信道

1 引言

第三代移动通信系统是一个宽带综合业务系统,最大特点在于支持具有不同 QoS 的变速率的多种业务,这便要求其具有将各种无线多媒体业务复用在一起传输的能力。WCDMA 采用了一种比较完善的业务复用方案,可以对各种业务进行编码复用。然而,它是以增加系统复杂度为代价的。

本文简要介绍 WCDMA 系统下行链路的编码复用流程,并针对技术规范要求,提出下行链路解复用流程的硬件实现方案,也给出了 FPGA 器件的设计和实现。

2 WCDMA 编码复用流程

WCDMA 下行链路编码复用方案主要包括: CRC 校验、纠错编码、速率匹配、交织和传输信道复用等。具体的编码复用流程如图 1 所示。

首先,将传输层发送给物理层的每个传输块末尾加上 CRC 校验比特,以便接收端进行差错控制。然后将一个传输时间间隔(TTI)内加上 CRC 校验比特后的各个传输块合并,并根据不同的信道编码方案进行编码块的分割,接着进行信道编码。为了

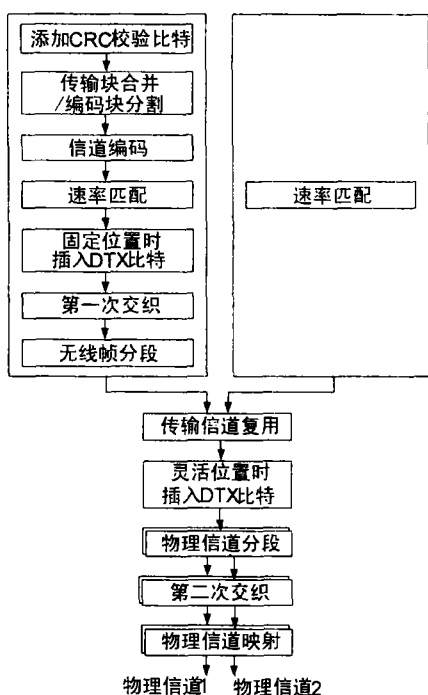


图 1 下行链路编码复用流程

的速率与已分配的物理信道的数据传输率一致,对信道编码后的信息采取均匀的打掉或添加一些位的办法,这就是速率匹配。如果采用的是固定位置传输方式,需在速率匹配后的数据流末尾插入 DTX 比特。如果 TTI 大于 10ms,需将此时的数据流划分为 TTI/10 个连续的无线帧,并进行第一次交织,即帧间交织。

数据流经过以上各步后,每 10ms 将各个传输信道的一个无线帧串行级联起来,复合成一个编码组合传输信道(CCTrCH)。如果采用的是灵活位置传输方式,需要在每个 CCTrCH 末尾插入 DTX 比特。如果需要多码道传输,则将该 CCTrCH 的数据平分至各码道,并对每个码道的数据进行第二次交织。最后将经过第二次交织后的数据序列映射到物理信道,并进行扩频扰码和脉冲成型等。

3 解复用的实现方案

3.1 基于地址计算的搬移算法

解复用是复用的逆过程,目的是解出各传输信道译码前的数据,完成物理信道到传输信道的映射。

通过对上述流程的分析发现,在整个处理过程中,数据本身并未改变,仅数据的存放位置发生了变化,以及某些位置上的数据被重复或删除。因此可以计算输入序列中各数据在输出序列中的对应位置,直接将输入数据“搬移”至输出位置即可。但是,直接确定输入序列与输出序列之间的地址对应关系比较困难。原因是从物理信道映射至传输信道复用之间处理模块的输入输出序列地址均为该 CCTrCH 一个无线帧内的相对地址,从传输信道复用至速率匹配之间各处理模块的输入输出序列地址则为传输信道本 TTI 内的相对地址,而二者之间的映射关系比较复杂,因此难以实现一次搬移。我们将解复用模块划分为两个子系统:子系统一和子系统二。

具体来说,设任一物理信道 p 一个无线帧解扩后的数据流为 $up_1, up_2, up_3, \dots, up_U$,其中 U 为一帧

收稿日期:2003年9月6日

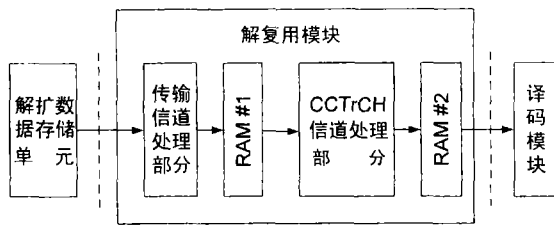


图2 优化的解复用模块系统结构图

的数据比特数。子系统一依次计算出序列中各比特经解第二次交织后在缓存 RAM #1 中的存放位置 mp1, mp2, mp3, ..., mpU, 并写入相应数据, 然后顺序读出。子系统二依次计算输出序列 O 中各比特 op1, op2, op3, ..., opU, 经过解传输信道复用、解第一次交织后在缓存 RAM #2 中的存放位置 np1, np2, np3, ..., npU, 并写入相应数据, 然后按解速率匹配后的顺序读出。

由此可以看出, 该算法避免了对数据的直接处理, 而是根据输入输出序列的地址对应关系将输入数据搬移至输出序列的相应位置, 从而简化了处理步骤, 大大降低了系统复杂度。

3.2 解速率匹配算法的实现

在整个解复用过程中, 解速率匹配的地址映射关系看似较为复杂, 尤其是 Turbo 编码信道在发射端执行打孔操作时, 解速率匹配更为复杂。因为发射端的速率匹配, 先进行比特分离, 再分别对第一奇偶校验比特序列和第二奇偶比特校验序列执行速率匹配, 然后进行比特的合并。但在解速率匹配时, 不能预先确定输入的每一比特属于系统比特、第一奇偶比特还是第二奇偶比特, 无法进行比特的分离操作。其实, 在理解速率匹配算法中参数物理意义的基础上, 执行速率匹配算法就能完成解速率匹配的功能。唯一不同的是, 对发射端执行打孔操作的比特, 在接收端用 '0' 补。

发射端执行重复时, 接收端的解速率匹配算法与规范的速率匹配算法也相同。唯一不同的是, 解速率匹配需将发射的重复比特打掉, 可通过读地址的跳变来实现。为充分利用其有用信息, 也可将重复比特能量累加后取平均再输出。

3.3 参数计算的两种不同实现方案

在解复用过程中涉及大量的参数计算, 如: 传输格式组合指示 (TFCI) 到每个传输信道传输格式指示 (TFI) 的映射、一个无线帧内各传输信道能获得的比特数、解速率匹配过程中各传输信道重复或打孔的比特数、解速率匹配后一个 TTI 内传输的比特数等。这些参数既

可以由 FPGA 计算, 也可以由外围电路如 DSP 或 CPU 计算, 并把计算结果置给 FPGA, 然后 FPGA 才能执行后续操作。显然, 采用后一种方案 FPGA 实现起来比较简单, 但在解第二次交织后需要增加一块 RAM, 与另一块 RAM 乒乓式地使用, 并带来一帧的延时。

4 硬件实现结果及调试平台

整个解复用模块采用 Verilog 语言进行 RTL 级描述, 在 XILINX 公司的 VirtexII 系列的 xc2v6000 - 4ff1152 芯片上实现, 系统的最终工作频率在 61.44MHz 以上, 测试结果正确。如和下行接收的其他模块进行联合测试, 目前支持最高速率为 384kb/s 数据。

纯 FPGA 实现的资源利用情况如表 1 所示, 由外围电路计算参数时的资源利用情况如表 2 所示。

表 1 硬件实现的资源利用表 (方案一)

资源名称	已使用量	可使用量	占用比例%
可配置逻辑单元	5,302	33,792	15
可配置逻辑单元寄存器	4,034	67,584	5
查找表	8,080	67,584	11
IO 引脚	160	824	19
块 RAM	20	144	13
18X18 乘法器	8	144	5
总的等效门数		1,444,261	
IO 引脚额外的 JTAG 门数		7,680	
峰值内存使用量		276 MB	

表 2 硬件实现的资源利用表 (方案二)

资源名称	已使用量	可使用量	占用比例%
可配置逻辑单元	1,544	33,792	4
可配置逻辑单元寄存器	1,238	67,584	1
查找表	2,232	67,584	3
IO 引脚	160	824	19
块 RAM	29	144	20
18X18 乘法器	0	144	0
总的等效门数		1,936,504	
IO 引脚额外的 JTAG 门数		7,680	
峰值内存使用量		188 MB	

5 总结

为了实现对多媒体业务的承载, WCDMA 系统采用了与传统 CDMA 系统大为不同的编码复用方案。为解决该方案引入的复杂度和处理时延, 采用了地址映射的搬移算法。该方法简洁有效, 具有较高的实用价值。针对解复用过程中涉及的大量复杂参数的计算, 给出了两种实现方案下的资源利用情况, 供开发者参考。

参考文献

- [1] 3GPP TS 25.212 V3.9.0 (2003-03) Multiplexing and Channel Coding (FDD) (Release 1999)
- [2] 张平, 王卫东等. 第三代移动通信系统——WCDMA. 北京: 北京邮电大学出版社, 2000

作者简介

周小燕 硕士研究生, 主要研究方向是 WCDMA 系统中下行链路基带接收的实现及上行链路多用户检测的算法研究。