

WCDMA 基站中频接收机的设计研究

黄秋元, 付雷

武汉理工大学信息工程学院, 湖北武汉 (430070)

E-mail: shiren119@163.com

摘要: 分析 WCDMA 基站中频接收机的原理以及接收机射频前端的设计方法, 给出了完成设计所需要的具体参数。并结合 XILINX 公司的 FPGA 分析了数字中频部分的设计。

关键词: WCDMA; 中频接收机; FPGA

1. 引言

通信技术进步带动着基站设备的发展。特别是 3G 技术的发展, 使基站接收机的集成度越来越高, 也越来越偏向于数字化。基站接收机设计方法也随之产生了变化。

由于运行环境的特殊性, 基站接收机需要具备宽带和大动态范围的特性, 而且对互调、噪声系数等其他各项指标的要求都很高。这些指标决定了基站接收机与其他接收机结构的不同。按照接收机的种类, 主要有双 IF 接收机 (超外差接收机)、零中频接收机、单 IF 中频接收机。双中频结构是早期

基站接收机使用较为广泛的结构, 但成本高, 体积大。而零中频接收机由于目前技术的局限性, 难以满足大动态范围和高灵敏度的要求, 目前还没有应用于基站接收机的设计中。所以, 单中频接收机以其简化的结构、较低的成本和技术的可实现性成为目前使用最为广泛的基站接收机结构。下图是单中频接收机的结构框图^[1]:

从图中可以看出, 单中频接收机的元件数和复杂度都比双中频接收机要少得多。设计起来更为简单。本文基于使用这种单中频结构介绍 WCDMA 基站接收机的设计方法。

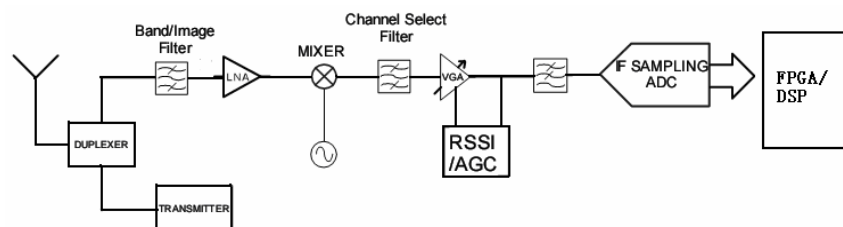


图 1 基站单中频接收机结构图

2. 接收机模拟前端分析与设计

接收机模拟前端部分包括射频信号处理和中频信号处理。由于 WCDMA 接收机需要满足 3GPP 协议的有关规定, 所以必须以协议所规定的参数来设计整个系统。

2.1 接收机指标要求

3GPP 对 WCDMA 基站射频接收机的主要技术指标要求如下^[2]:

参考灵敏度: $-121\text{dBm}@12.2\text{kbps}$;

动态范围: -91dBm ($-73\text{dBm}@12.2\text{kbps}$

interference);

邻道选择性: $-115\text{dBm}(-52\text{dBm}@12.2\text{kbps}$ interference);

阻塞特性 (干扰信号最小频偏 10MHz): $-40\text{dBm}(-115\text{dBm}@12.2\text{kbps}$ interference);

阻塞特性(带外): -15dBm

($-115\text{dBm}@12.2\text{kbps}$ interference);

从这些指标中可以看出, 基站接收机的灵敏度和动态范围的要求非常高, 与终端产品, 如与手机相比的差别很大, 其参数要求更严格。由协议可计算接收机各部分参数要求。

2.2 模拟前端参数分析

接收机模拟前端最为关心的参数包括系统的噪声系数、增益、动态范围、IMD3等。通过对协议的分析，可以计算接收机各部分的参数需求^[3]。

(1) 接收机输入噪声功率 S_{Nin} :

在自然条件下的随机噪声可由下式得到:

$$S_{Nin}=10\lg(KTB)=-174+10\lg B(\text{dBm}) \quad (1)$$

WCDMA 的信道带宽为 5MHz, 则 $S_{Nin}=-107$ dBm。此处并不包括其他外加干扰。

(2) 接收机的噪声系数 NF

噪声系数是输入信噪比和输出信噪比的比值, 以 dB 为单位时表示为输入信噪比与输出信噪比的差值。

$$NF=S_{sens}-S_{Nin}-C/I \quad (2)$$

其中 S_{sens} 为接收灵敏度, 根据协议, $S_{sens}=-121$ dBm, C/I 为系统解调门限电平, $C/I=-20$ dB。所以, $NF=-121-(-107)-(-20)=6$ dB。为了给系统留有一定余量, 大部分厂家都将基站接收系统的 NF 设置为 4dB。

(3) 增益 G

接收机射频前端增益 G 由最大干扰信号电平和 ADC 峰值输入功率决定。目前 ADC 的输入电压一般为 $2V_{p-p}$, 使用差分输入阻抗为 200 欧姆, 则满量程输入功率为 4dB。干扰信号最大功率电平为 -52dBm, 考虑系统 7dB 余量, 则其射频前端增益为: $G=4-7-(-52)=49$ dB。

(4) 接收机动态范围 D:

接收机动态范围是 AD 芯片满量程输入电平和输入 AD 芯片的噪声电平与最小有用信号功率中最低值的差值, 即

$$D=S_{AD}-\min(S_{min}, S_{NAD}) \quad (3)$$

其中 S_{min} 是最小信号输入电平, $S_{min}=S_{sens}+G=-121+49=-72$ dBm, S_{NAD} 是输入噪声电平, $S_{NAD}=S_{Nin}+G+NF=-107+49+4=-54$ dBm, 动态范围 $D=(4-7)-(-72)+3=72$ dB。

接收机的动态范围主要由 AD 芯片的动态范围来决定, 若 AD 芯片无法满足系统动态范围要求, 必须采取其他方法来改善系统动态范围, 如在电路中加入 AGC 环路。这

种方法已经广泛使用在各种接收系统中了。

(5) 采样频率和中频频率的选择

由于 WCDMA 信号工作在射频段, 所以只能使用带通采样实现信号数字化。根据带通采样定律, 设对采样如下频带的信号:

$$f_H=nB+kB, 0<k<1 \quad (4)$$

其中 f_H 为中频通带的最高频率, B 为带宽。要想无混叠的采样, 其必须满足如下关系:

$$\text{最小采样率为: } f_{s1}=2B+2(f_H-nB)/n \quad (5)$$

$$\text{最大采样率为: } f_{s2}=2B-[2B-2(f_H-nB)]/n \quad (6)$$

为了使设计抗叠滤波器时的频带对称, 取此频段的中间值可得:

$$F_s=(f_{s1}+f_{s2})/2=(f_H-2B)n=4fc/n \quad (7)$$

当 n 为奇数信号处于它的奈奎斯特区时不会倒置。即:

$$F_s=4fc/(2n-1), n=1, 2, 3, \dots \quad (8)$$

其中 fc 为所要采样信号的中心频率。n 越大则采样频率越低, 对 AD 的要求就越低, 但同时失真也越大。

当对 WCDMA 信号采样时, 采样时钟应为是 3.84 的整数倍, 取 $3.84 \times 24=92.16$ MHz。当 n=3 时, 可计算得中频频率为 69.12MHz, 实际可取 70MHz 为工作频率。

3. 接收机 AD 芯片参数分析

ADC 是接收机射频前端中最重要的芯片之一。根据系统对 AD 采集的要求, 可以按照图 2 所示的方法确定 AD 芯片的参数^[1]。

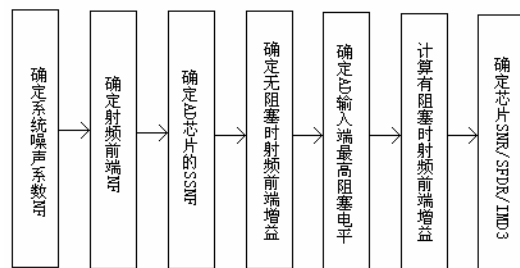


图2 ADC芯片选型步骤

设系统NF=4dBm, 射频前端的噪声系数NF_i=3.5dB, 则只允许ADC给系统带来 0.5dB的影响。以大多数ADC可以满足的指标为参考, 设SSNF为-75dBFS。在ADC的满

量程输入电平为4dBm(2Vp-p @200Ω), 则:

(1)AD芯片的等效噪声系数:

$$NF2 = -\lg KT + NF + SSNF - 10\lg(fs/2) \quad (9)$$

取fs=92.16MHz时, 可得系统对AD芯片的等效噪声系数要求为NF2=26.4

(2)无阻塞时射频前端增益:

$$G = (F_2 - 1) / (F_{sys} - F_1) = 1594.3 \quad (10)$$

即32dBm。F₁、F₂不变, G增大, F_{sys}减小。所以在实际设计中, G不能小于32dBm。

(3)存在阻塞时链路参数

系统存在阻塞时, 射频链路噪声系数会增加。若系统增益不变, 假设此时阻塞使得射频链路的NF1增加到了4dB, 系统总噪声系数增加到了7dB(由AD芯片的噪声和失真增加了3dB), 考虑到接收最大阻塞信号功率为-52dB, 若AD的噪声和失真的影响相同, 则由此可计算出AD的SDFR:

$$SDFR = -52dB - (\lg KT + NF - 3dB - 3dB) = 59dBc \quad (11)$$

存在阻塞时的ADC等效噪声系数为:

$$F2 = (F_{sys} - F1) \times G + 1 \quad (12)$$

$$NF2 = 10 \times \lg(F2) = 36 \quad (13)$$

(4)ADC的SNR要求

SNR = lgKT + NF2 + 10lg(fs/2) - 3dB = 67dB, 其中3dB为系统雨量。但接收机动态范围较大, 且SNR必须要大于动态范围的要求即72dB时, AD芯片在采集小信号时才不会被噪声淹没。当AD芯片只考虑量化误差而不考虑其他影响时, SNR遵循下面的公式:

$$SNR = 6.02N + 1.76 + 10\lg(fs/B_s) \quad (14)$$

其中N为采样位数, B_s为采样带宽。如果SNR的值要大于72, 则N必须大于12。但由于电路噪声、信号抖动所引起的孔径误差等因素, 一般都达不到这个理论值。所以对WCDMA信号进行采样, 则ADC的采样位数必须不能小于14bit。

(5)系统IM3要求

计算在WCMA信号下的IM3时, 以双音-37dBm输入(相对协议留10dB余量), 相当于系统存在两个功率相同的阻塞电平时对系统的影响, 所以可以用SDFR来计算:

$$IM3 = SDFR - 8 = 64dBc \quad (15)$$

4. 接收机数字信号处理部分

经过AD采集后, 中频信号转换成了易于处理的数字信号, 但这样的信号也有92.16MHz的速率, 对信号的后续处理还是带来了麻烦, 所以需要进行再次抽样以进一步降低信号的速率。通常有两种方式, 一种是采用专门的数字下变频(DDC)芯片实现对数字信号的再抽样; 一种是使用DSP或FPGA编程实现DDC的功能。使用DDC芯片的方式的好处是易于实现, 不需要进行复杂的算法的开发, 例如使用ADI公司的AD6645芯片。但缺点是芯片内部DDC数量有限, 不易扩展。在有着12个载频的WCDMA信号中, 一个芯片显然无法满足所有需求。在这里我们使用FPGA来实现DDC。这种方法虽然增加了软件开发难度, 却大大减少了硬件数量和成本, DDC的数量可以根据需要设定。而且FPGA还可以完成其他的功能, 更是便于对系统进行扩展。

我们使用XILINX公司的SX35系列产品来完成我们的设计^[4]。本设计支持3载波的WCDMA信号。芯片内部完成DDC功能。其系统结构如图3所示:

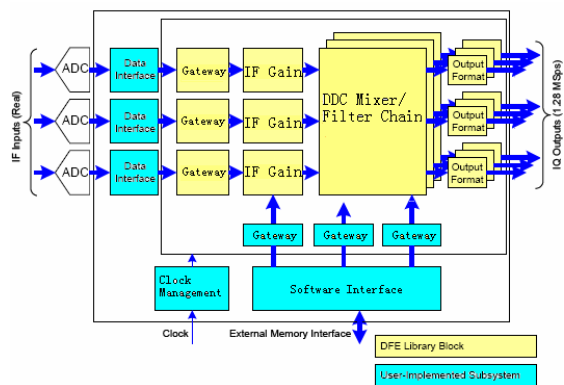


图3 中频接收机数字部分结构图

其中, DDC是整个系统的核心, 其结构框图如下图所示。经过IQ两路数字信号通过如下三个单元后, 转变为最终的基带信号。

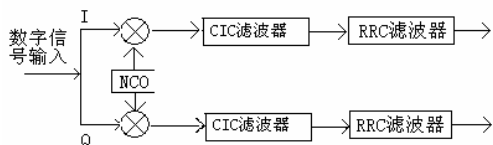


图 4 DDC 原理图

系统采用一个 34 抽头的 CIC 滤波器实现对数字信号的大抽样率抽样, 抽样倍数为 6 倍。然后使用 FIR 滤波器实现 RRC (根升余弦滤波器) 脉冲成型滤波器并实现 2 倍采样, 最终完成整个下变频的功能。DDC 将 ADC 转换后的 92.16MHz 信号抽样到带宽为 7.68MHz 的基带信号, 即实现 12 倍抽样。

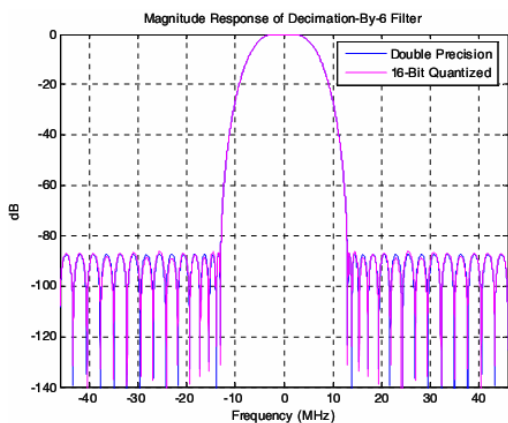


图 5 CIC 滤波器响应曲线

其中, FIR 滤波器采用 XILINX 公司的内核, 阶数 68, 即完成了抗混叠功能, 也补偿了由 CIC 滤波器引起的带内幅度不平衡。

使用 MATLAB 软件中的 REMEZ 函数可以很方便的设计 FIR 滤波器。图 5 是使用该函数得到的 FIR 滤波器的幅频相应曲线:

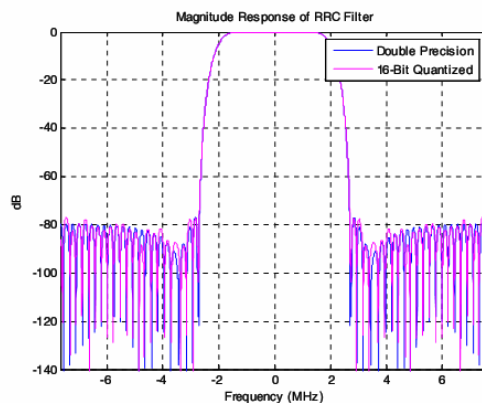


图 6 FIR 滤波器幅频响应曲线

系统延迟主要由各滤波器的抽头数和 CIC 的抽样系数决定, 所以系统延迟可以由计算得到。XILINX 公司为 DDC 系统为各种滤波器都提供了模块化的设计, 可以根据需要改变滤波器的阶数, 大大简化了设计。

5. 结论

基站数字接收机中各部分的设计需要联合其他部分的设计综合考虑, 需要一个系统设计方法。且由于基站信号特殊的动态特性, 对硬件的要求更高, 在器件的选型上要兼顾成本和性能。FPGA 在成本上是一个很好的选择。通过仿真可以看出使用 FPGA 的接收机在数字信号处理能力和兼容性方面都有很大的提高。特别是在 XILINX 公司提供了基站设计的全套数字中频方案后, 使得设计起来更容易, 扩展也更方便。

参考文献

- [1] Dan Terlep. 接收 (RX) 通道结构设计 [Z], MAXIM 公司技术资料.
- [2] 3GPP TS 25.105 V4.0.0 “BS Radio transmission and Reception”
- [3] 张琰 龚朝华 桂洛宁 WCDMA 基站宽带数字中频接收机的设计与实现 [A], 2003 年通信理论与信号处理年会论文集 [C] , 2003 年
- [4] David Hawke, Ed Hemphill, Michel Pecot, Jorge Seoane. High Density WCDMA Digital Front End Reference Design (Xilinx Confidential) [Z] , Xilinx 公司参考设计

The Design and Research of WCDMA IF Receiver

Huang Qiuyuan, Fu Lei

Department of Information Engineering, Wuhan University of Technology, Hubei (430070)

Abstract

The design studying the WCDMA basestation intermediate frequency receiver , the design procedures having analysed radio front-end of receiver detailedly, have been given to out the parameter what be needed in designing. And use FPGA of XILINX Company to realize the digital intermediate frequency part design.

Keywords: WCDMA, IF receiver, FPGA.

作者简介:

黄秋元 (1964-), 男, 湖北浠水, 武汉理工大学信息工程学院副教授;
付雷 (1983-), 男, 安徽马鞍山, 武汉理工大学信息工程学院硕士研究生。