

# WCDMA 主同步的 FPGA 实现

高展宏

北京邮电大学信息工程学院, 北京 (100876)

E-mail: [darney1982@yahoo.com.cn](mailto:darney1982@yahoo.com.cn)

**摘要:** 本文阐述了主同步搜索的改进型算法, 并且针对这种算法提出了基于片上 RAM 的实现方式, 最大程度地节省了 FPGA 的硬件资源, 为 WCDMA 同步的 FPGA 实现提供了很好的解决方案。这种技术可以用于其它多种匹配滤波结构。

**关键词:** FPGA, P-SCH, 匹配滤波

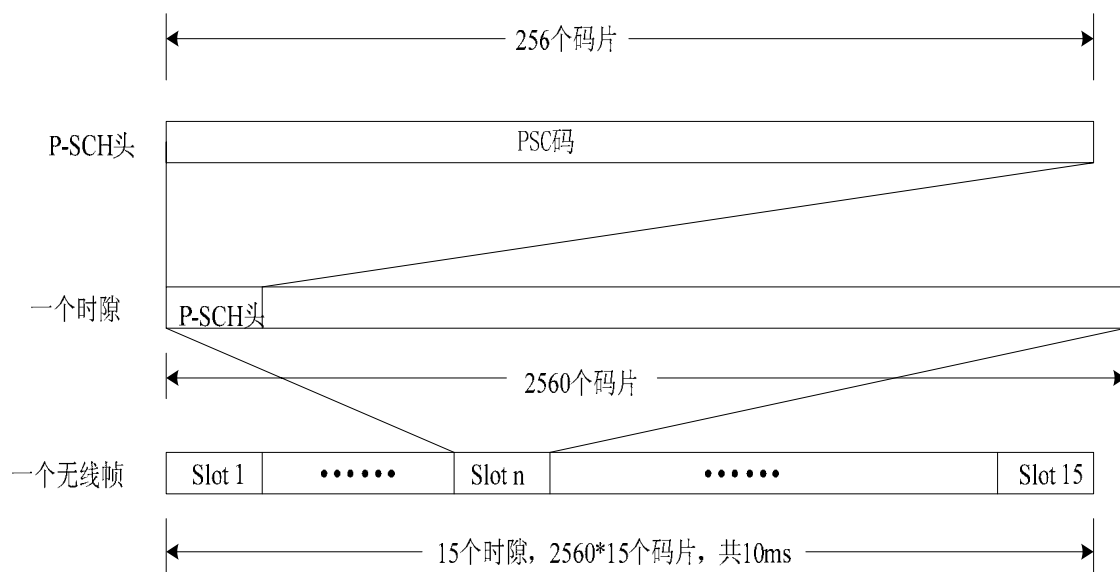
**中图分类号:** TN929.5

## 1. 引言

主同步是 WCDMA 中的第一步同步, 同时对整个同步来说也是最重要的一个环节。不过对于实时系统来说, 如果要让主同步检测也是在实时的限制条件下工作的, 那么就需要考虑资源和速度的平衡问题, 同时主同步搜索基于的算法也必需能够满足。

## 2. 系统介绍

### 2.1 PSCH 信道



码片速率是3.84Mcps, 一帧共38400个码片

图 1 WCDMA 的 P-SCH 信道结构

可以看到, WCDMA 的 P-SCH 信道给我们提供了很好的时隙同步信号。我们的任务就是把本地的 PSC 码序列和接收到的 P-SCH 路信号进行同步。<sup>[1]</sup>

### 2.2 PSC 码生成原理

P-SCH 信道由 PSC(主同步码)码构成, 是由所谓广义分层 Golay 序列构成的。

PSC 码的构作方法如下:

设  $u_1 = (1,1,1,1,1,1,-1,-1,1,-1,1,-1,1,-1,1,-1,1)$ ,  $v_1 = (1,1,1,-1,-1,1,-1,-1,1,1,1,-1,1,-1,1,1)$ ,

则 PSC 码表示为:

$$C^{(0)} = (1 + j)(v_1 \otimes u_1) = (1 + j) \times (u_1, u_1, u_1, -u_1, -u_1, u_1, -u_1, -u_1, u_1, u_1, u_1, -u_1, u_1, -u_1, u_1, u_1) \quad (2-1)$$

其中:  $\otimes$  表示 Kronecker 积。

PSC 码的迭代表示方法为:

$$\begin{cases} a_0(k) = \delta(k) \\ b_0(k) = \delta(k) \\ a_n(k) = a_{n-1}(k) + W_n b_{n-1}(k - D_n) \\ b_n(k) = a_{n-1}(k) - W_n b_{n-1}(k - D_n) \end{cases} \quad (2-2)$$

其中:  $k = 0, 1, \dots, N - 1$ ;  $n = 1, 2, \dots, 8$ 。

延迟向量为:  $[D_1, D_2, D_3, D_4, D_5, D_6, D_7, D_8] = [128, 64, 16, 32, 8, 1, 4, 2]$

权重向量为:  $[W_1, W_2, W_3, W_4, W_5, W_6, W_7, W_8] = [1, -1, 1, 1, 1, 1, 1, 1]$ , 对于  $n = 4, 6$ , 令  $b_4(k) = a_4(k), b_6(k) = a_6(k)$ 。第 8 次迭代的序列之一就是 PSC 码, 即  $C = a_8(k)$ 。

对迭代式(2-2)作 Z 变换, 可得:

$$\begin{cases} A_0(z) = 1 \\ B_0(z) = 1 \\ A_n(z) = A_{n-1}(z) + W_n B_{n-1}(z) z^{-D_n} \\ B_n(z) = A_{n-1}(z) - W_n B_{n-1}(z) z^{-D_n} \end{cases} \quad (2-3)$$

这一迭代 Z 变换公式极大地节省了抽头数, 简化了 PSC 码的生成结构, 称为快速 Golay 变换(简称 FGT)。将延迟向量和权重向量代入(3)展开可得到采用 FGT 结构的 PSC 码 Z 变换表示式:

$$X(z) = X_1(z)X_2(z)X_3(z) \quad (2-4)$$

$$X_1(z) = 1 + z^{-128} - z^{-64}(1 - z^{-128}) + z^{-16} \left[ 1 + z^{-128} + z^{-64}(1 - z^{-128}) \right] + z^{-32} \left\{ 1 + z^{-128} - z^{-64}(1 - z^{-128}) - z^{-16} \left[ 1 + z^{-128} + z^{-64}(1 - z^{-128}) \right] \right\} \quad (2-5)$$

$$X_2(z) = 1 + z^{-8} + z^{-1}(1 - z^{-8}) \quad (2-6)$$

$$X_3(z) = 1 + z^{-4} + z^{-2}(1 - z^{-4}) \quad (2-7)$$

可见, 整个 PSC 码的 Z 变换可由三个级联的子变换  $X_1(z), X_2(z), X_3(z)$  构成, 其结构如图 2 所示: [2]

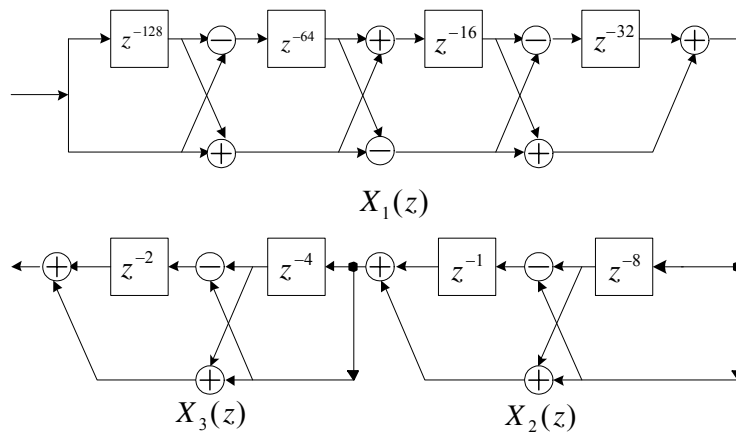


图2 PSC 码的 Z 变换结构

WCDMA 系统如果采用两天线配置，则 SCH 信道采用 TSTD 方式发送。信道结构如下图所示。

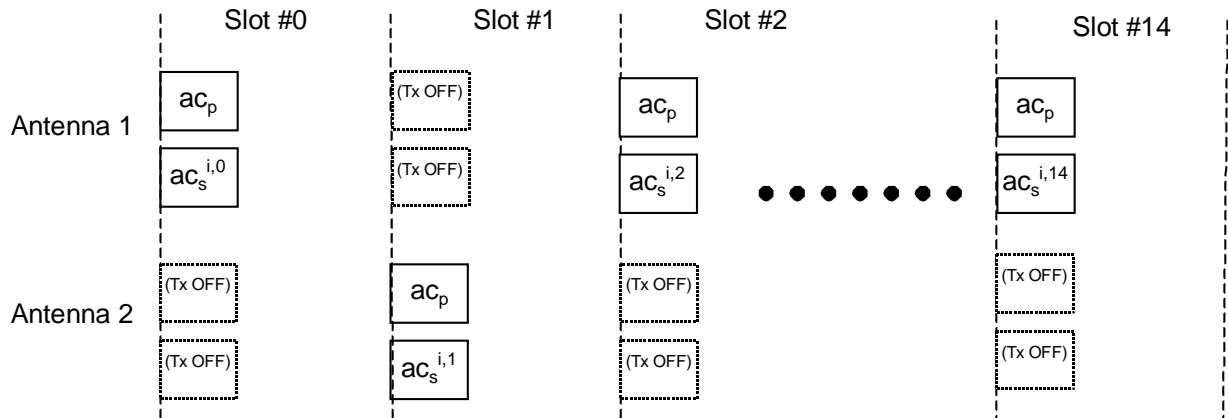


图3 采用 TSTD 方式的 SCH 信道结构

按照 3GPP25.211 协议规定[19]，偶数时隙 P-SCH、S-SCH 信道在天线 1 发送，奇数时隙 P-SCH、S-SCH 信道在天线 2 发送。因此，天线 1 发送的 SCH 信道数为 8 个，即 8SCH/10ms，对应的发送速率为 800Hz，而天线 2 发送的 SCH 信道数为 7 个，即 7SCH/10ms，对应的发送速率为 700Hz。

### 2.3 P-SCH 捕获原理

下面介绍 P-SCH 信道的捕获算法。

P-SCH 信道匹配滤波器的 GHGMF 结构是四个子滤波器的级联，如下图所示。[2]

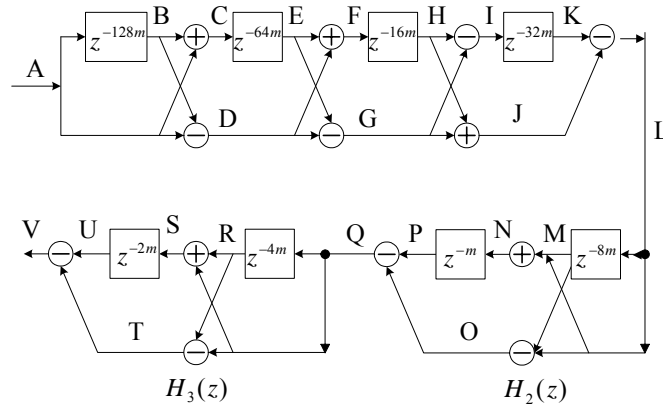


图 4. P-SCH 信道匹配滤波器过采样条件下的一般结构

通过采用 GHGMF 结构,使得硬件资源得到了极大节省,且运行速度也提高了。GHGMF 结构与传统结构相比,复杂度的降低如表 2 所示:

表 2 GHGMF 滤波器与传统结构比较

类型		寄存器数目(组)	乘加单元数目	相对资源占用率	
				寄存器	乘加单元
传统匹配滤波器结构		255m	255m	100%	100.00%
GHGMF 匹配滤波 器结构	m=1	255	13	100%	5.10%
	m=2	511	14	100.2%	2.75%
	m≥3	256m	15	100.4%	$\frac{1}{15m} \rightarrow 0$

表可见,在寄存器数目几乎不变的情况下,采用 GHGMF 结构,抽头数最多仅是传统结构的 5%,且过采样因子 m 越大,节省的资源越多。

### 3. 硬件实现

#### 3.1 模块流程

两组信号的流程是一样的,所以,在这里仅画出一组信号的流程。

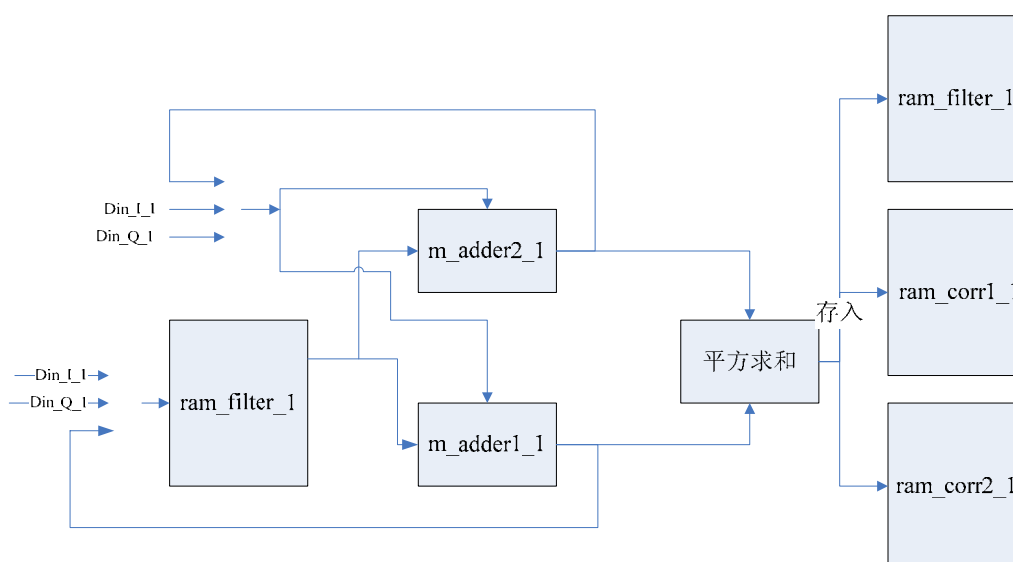


图 5. 模块硬件结构图

### 3.2 资源分配

值得一提的是，这里是用一片双口 ram 和两个加法器来实现整个 PSC 滤波的。下面给出 ram\_filter\_1 的内存结构，以方便理解。

表 2 模块内存分配

地址	大小	内容
0x0000—0x007F	128	I 路 128 延时
0x0080—0x00BF	64	I 路 64 延时
0x00C0—0x00DF	32	I 路 32 延时
0x00E0—0x00EF	16	I 路 16 延时
0x00F0—0x00F7	8	I 路 8 延时
0x00F8—0x00FB	4	I 路 4 延时
0x00FC—0x00FD	2	I 路 2 延时
0x00FE—0x00FE	1	I 路 1 延时
0x0100—0x017F	128	I 路 128 延时
0x0180—0x01BF	64	I 路 64 延时
0x01C0—0x01DF	32	I 路 32 延时
0x01E0—0x01EF	16	I 路 16 延时
0x01F0—0x01F7	8	I 路 8 延时
0x01F8—0x01FB	4	I 路 4 延时
0x01FC—0x01FD	2	I 路 2 延时
0x01FE—0x01FE	1	I 路 1 延时
0x0200—0x03FF	512	最后 512 个相关值

在算出 I、Q 的相关值后，平方相加是放到顶层模块中去做，原因是便于复用。

另外，我们需要存储的有 2560 个相关值，在 PSC 匹配滤波器上我们已经开辟了 512 个空间作为相关值的存储，所以还需要两片 1024 的 ram。所以实现一个 PSCH 捕获用到了 3 片 ram。

### 3.3 时序仿真

在程序中，我们用一块片上 ram 和两个加法器来实现了整个 PSC 匹配滤波器。其中，利用 ram 的先读后写功能实现了所有的延时单元，这样避免了运用过多的存储单元和复用逻辑。采用这样的方式来实现 PSC 匹配滤波已经达到了最小资源的要求。

下面的复用逻辑得来不易，是几经修改得到的，虽然一个码片的时间里面，我们有 32 拍来操作，但是在时序的安排上为了达到系统的稳定，仍然很不容易。这里提供两个原则以供参考：

安排的时序必须逻辑简单，尽量避免过多与或逻辑的出现。

信号尽量保持慢变而不是块变。

目前，PSCH 模块已经相当稳定，不论外部如何修改，不管用什么模块去调用 PSCH，结果都非常稳定，不会出现不定态。

为了说明复用的过程方便，我们在各个位上标上字母。

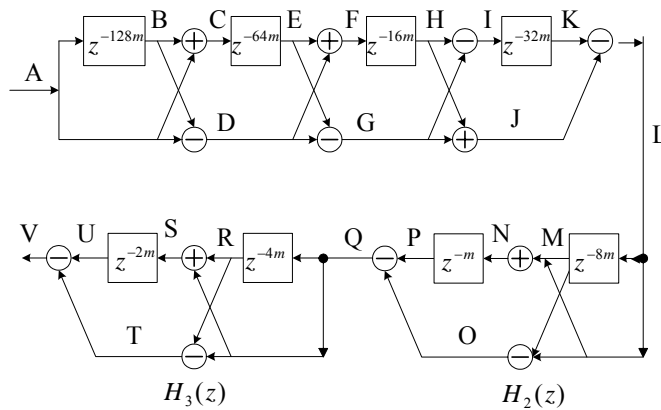


图 6. PSC 滤波器

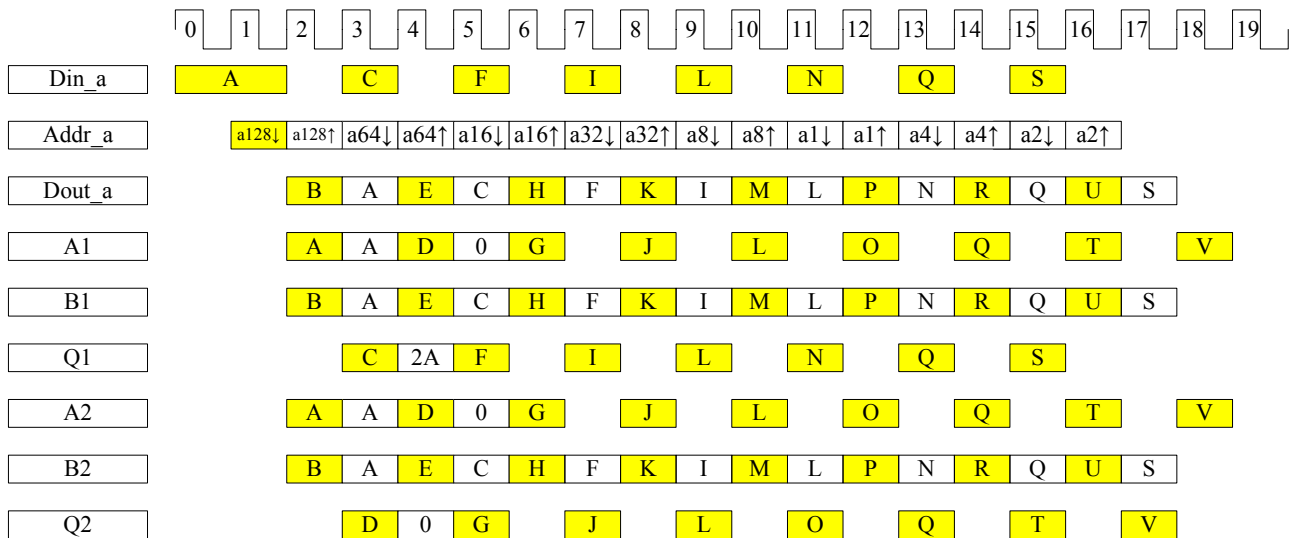


图 7. 模块时序逻辑设计

## 4. 结论

本文通过细致的时序设计，用极少的硬件 FPGA 资源实现了 WCDMA 中主同步信道的同步，基于的理论是改进型的 PSC 匹配滤波器法。在工程实现中是一种十分经济划算的方案。同时，主同步信道的搜索还可以运用于多载波 WCDMA 系统中的载波检测，而且也可以运用于处理系统的延时估计。所以说，本文的应用还是非常广泛的。

### 参考文献

- [1] 3GPP 25.211. Physical channels and mapping of transport channels onto physical channels (FDD).
- [2] 牛凯, 吴伟陵, “宽带码分多址主同步信道低复杂度数字匹配滤波器”, 中华人民共和国 01118796.4, 2001 年 9 月。

## FPGA Realization of PSCH in WCDMA

Gao Zhanhong

School of Information and Engineering, Beijing University of Posts and Telecommunications,  
Beijing (100876)

### Abstract

This paper illuminates a algorithm of PSCH searching and provides a perfect way of realizing this algorithm in FPGA's block ram which can save as much slices as possible. And this kind of technique can be used in other match filters.

**Keywords:** FPGA, P-SCH, Matching Filter