

# 基于FPGA的低功耗测试生成器的设计

## A Low Power Test Generator Design Using FPGA

阜阳师范学院(安徽阜阳 236032) 陈卫兵 何娟

**摘要:**文中介绍了一种以LFSR为基础的准单输入跳变序列测试生成器,并且利用EDA技术在FPGA芯片上进行了设计实现。为产生低成本、低功耗的电子系统测试信号提供了一种简单易行的方法。

**Abstract:**This paper introduces a low power test generator design based on pseudo-random sequence generator which is realized on FPGA chip by EDA technique. It provides a simple and feasible way of producing test signals for electronic systems with low costs and low power.

**关键词:** EDA FPGA LFSR 伪随机序列 准单输入跳变序列

**Key words:** EDA FPGA LFSR Pseudo-random sequence Pseudo single-input-change

### 1 引言

随着集成电路规模越来越大,复杂度越来越高,测试生成的费用成指数增长,测试方法的研究就显得愈加突出。目前测试源的划分分为内嵌自测试或片外测试。内嵌自测试把测试源和被测电路集成在芯片内部。目前SOC级的芯片测试如果采用内嵌自测试所需的硬件面积很大,同时也增加了芯片设计的难度,因此片外测试便成为目前普遍的方法。

由于FPGA具有可重构的灵活性,利用FPGA作为测试源实现片外测试就是一种有效的手段。另外伪随机模式测试只需有限个数的输入向量便可达到很高的故障覆盖率因而在作为测试源设计中得到了广泛应用,采用CPLD来实现伪随机测试序列生成器的设计。

目前国际上在测试设计中同时要考虑低功耗设计问题。考虑功耗的主要原因是测试模式下电路的功耗要远远高于正常模式。测试功耗的增加会引发测试成本的上升,电路可靠性降低,成品率下降,并增加性能验证等问题。对测试向量进行排序,从而提高测试向量之间的相关性是降低被测电路测试功耗的一种切实可行的方法。相邻向量之间只有一位不同的测试

序列称为单输入跳变测试序列,其相关性最好。实际中通常采用不完全的单输入跳变序列,即准单输入跳变序列。本文给出一种在LFSR外加简单控制逻辑电路以产生准单输入跳变测试序列的测试生成器设计方案,并且利用EDA技术在FPGA芯片上进行了设计实现,这为产生低成本、低功耗的电子系统测试信号提供了一种简单易行的方法。

### 2 低功耗测试生成器的设计

本文给出的低功耗测试生成器方案是以LFSR为基础的,其结构如图1所示。LFSR的级数为 $n$ , $n$ 位LFSR中的每个触发器的状态输出端接到相应异或门的一个输入端,计数器是一个 $n+1$ 进制计数器,其输出接到解码器。解码器对计数器的输出进行解码,输出的控制信号 $Y_i$ 分别作为异或门的另一个输入端。这样控制信号 $Y_i$ 与相应触发器的状态输出端 $Q_i$ 异或后做为被测电路的测试输入信号。当 $Y_i$ 为0时,相应异或门的输出为 $Q_i$ ;  $Y_i$ 为1时,相应异或门的输出为 $\bar{Q}_i$ 。只要合理的设计解码器就可以产生 $n+1$ 个的单输入跳变测试向量。当计数器为0时, $Y_n$ 为1,其余 $Y_i$ 为0,此时与门开放,LFSR的CLK输入有效,LFSR将产生

一个伪随机测试向量,计数器从 1 加到 n 时,  $Y_0$  为 0, 与门关闭, LFSR 的 CLK 输入无效, 由解码器的输出  $Y_i (i=1,2,\dots,n)$  来控制产生 n 个单输入跳变的测试序列。在此期间, LFSR 的值保持不变, 直到计数器回 0, LFSR 将产生下一个伪随机测试向量, 然后再产生 n 个单输入跳变的测试序列, 这样整个测试序列就是准单输入跳变测试序列。

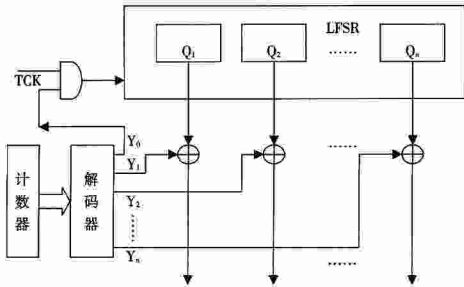


图 1 低功耗测试生成器的结构图

### 3 FPGA 的设计实现

在 FPGA 的设计输入时采用 Verilog HDL 语言来设计所要求的低功耗测试生成器模块, 以  $n=8$  的 LFSR 为例, 以下给出了设计源码。通过使用 Maxplus II 10.2 软件在 ALTERA 公司的 FPGA 芯片 FLEX EPF10K10LC84-4 进行了仿真, 验证了设计的正确性。

```

module lowlfsr8 (load, clr, clr1, clk, q, din);
input load, clr, clk, clr1; input [8: 1] din;
output [8: 1] q; reg [8: 1] fq2; reg [8: 0] y;
reg [4: 1] fq1; wire clk1;
always @ (posedge clk1 or posedge clr or posedge load)
begin
if (clr) fq2<=8'h00;
else if (load) fq2 <=din;
else
begin
fq2 [1] <= ~(fq2[8]^fq2[4]^fq2[3]^fq2[2]);
fq2 [2] <=fq2 [1];
fq2 [3] <=fq2 [2];
fq2 [4] <=fq2 [3];

```

```

fq2 [5] <=fq2 [4];
fq2 [6] <=fq2 [5];
fq2 [7] <=fq2 [6];
fq2 [8] <=fq2 [7];
end
end
always @ (posedge clk or posedge clr1)
begin
if (clr1) fq1=4'b0000;
else
begin
if (fq1==4'b1000)
fq1=4'b0000;
else
fq1=fq1+1;
end
end
always@(fq1)
begin
case (fq1)
4'b0000: y=9'b000000001; 4'b0001: y=9'b000000010;
4'b0010: y=9'b000000110; 4'b0011: y=9'b000001110;
4'b0100: y=9'b000011110; 4'b0101: y=9'b000111110;
4'b0110: y=9'b001111110; 4'b0111: y=9'b011111110;
4'b1000: y=9'b111111110; default: y=9'b000000001;
endcase
end
assign clk1=clk&y [0]; assign q=fq2^y [8: 1];
endmodule

```

#### 参考文献

- 1 戚达. 一种基于 CPLD 的伪随机序列生成器. 现代电子技术, 2004,3.
- 2 Zorian Y. A distributed BIST control scheme for complex VLSI devices. In: 1993 VLSI Test Symposium, Digest of Papers, Eleventh Annual 1993 IEEE. Atlantic City, NJ, 1993: 4-9
- 3 朱明程, 董尔令. 可编程逻辑器件原理及应用. 西安电子科技大学出版社, 2004.