

通信技术

# 基于 RocketIO 的高速光纤红外图像 串行传输的实现

孙明琪 李范鸣

(中国科学院上海技术物理所, 上海 200083)

**摘要** 利用 RocketIO 高速串行传输模块将数字图像和控制指令串行化, 实现对高帧频、多通道数字图像的高速远程传输和反馈控制。利用 Virtex-II Pro 系列 FPGA 设计的光纤数字图像传输模块, 可将多路长波图像信号转换为高速串行的光脉冲信号, 通过光纤连接器传送到 DSP 板, 实现稳定、低误码率的数据传输。

**关键词** RocketIO 光纤 数字图像 高速串行传输  
中图分类号 TN216; 文献标志码 A

随着光电成像技术的不断进步, 所涉及的光电探测器向着高帧频、高分辨率、多通道的方向发展, 信号处理器件的处理速度越来越快。在军事电子信息领域, 要求处理的频带要尽可能的宽、动态范围要尽可能的大, 以便获取更多的信息量。传输多路长波图像信号使得信号处理系统处理器之间或者系统之间的数据流很高, 对图像的远程传输及控制要求更高的性能。传统的单端互连方式在传输速率上已无法满足要求, 而采用光纤的串行差分可实现大容量数据信息的传输。

Xilinx 的 Virtex II-Pro 系列提供了内嵌 RocketIO 高速串行收发器模块, 所提供的全双工高速通道最高支持 3.125 Gb/s, 并通过采用 CDR、8B/10B 编码、预加重等可在线配置技术, 减少了信号衰弱和线路噪声的影响。

## 1 高速光纤传输系统设计与原理

高速数据光纤传输系统原理框图如图 1 所示,

2008 年 3 月 3 日收到

第一作者简介: 孙明琪 (1981—), 女, 中国科学院上海技术物理研究所硕士, 研究方向: 红外信号与信息处理。E-mail: maybe-fool@163.com。

相机头部采集的红外信号经 A/D 采样电路采样后, 转换为多路并行的 LVDS 信号送入 FPGA 中, 通过 FPGA 的端口 RocketIO 从高速接口输出。

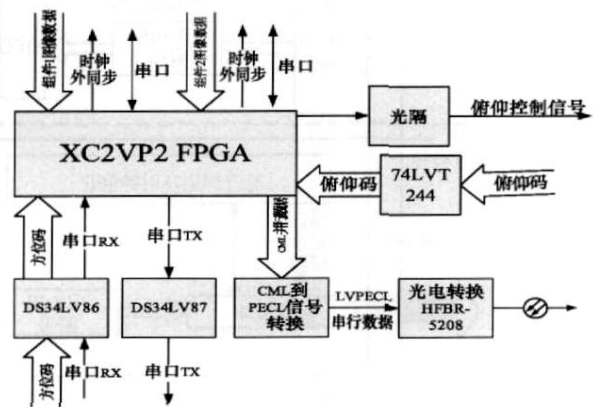


图 1 内部结构与原理框图

整个编码过程在 FPGA 中完成, 多路探测器在 FPGA 发出的外同步信号控制下进行信号积分采集和数据读出, 并各自分配一组 FPGA 的片内 Block RAM 对读出的数据作乒乓缓冲; 另一方面, 光纤发送模块在每一个帧同步开始之后, 依次从各路输入信号的缓冲区中高速读出上一列的数据, 顺序发送; 在一个帧周期的最后, 输入和输出都已经完成的时刻, 将一组乒乓缓冲翻转, 准备下一行的输入和输出。解码端则遵循相反的过程, 收到帧同步信

号后先接收位置信息,然后把顺序输入的数据分配到各组乒乓缓冲,同时输出模块发送乒乓缓冲另外一半中存储的上一列数据。最终在光纤中传输的串行数据数列为当前的方位俯仰信息和当前的一列图像数据信息。

## 2 RocketD 简介及工作原理与设计

### 2.1 RocketD 简介

Virtex-II Pro 采用具有时钟数据恢复功能的全双工 Gb/s 串行 I/O 收发器,可高效率地实施每通道带宽达到 3.125 Gb/s 的不同协议设计,并可利用通道捆绑功能来满足各种应用不断增长的对数据速率的要求。

Virtex-II Pro 的收发模块由物理编码子层 (PCS) 和物理媒质适配层 (PMA) 构成,其中物理编码子层提供与 FPGA 逻辑的数字接口,主要包括发

送 FIFO、8B/10B 编码器、8B/10B 解码器、CRC 生成与校验、通路绑定与时钟修正的 Elastic Buffer 等;物理媒质适配层提供与外部媒体的模拟接口,其中包括:20 倍时钟倍频器、发送端时钟生成器、发送缓冲器、串化器、接收端的时钟恢复电路、接收缓冲器、解串器、可变速率的全双工收发器、可编程的五级差分输出幅度控制和可编程的四级输出预加重模块。

基于上述特点,RocketD 收发器可以理想地适用于需要很高串行速度的芯片与芯片之间的信号传输,高速背板或者光纤收发器的接口。

### 2.2 工作原理

图 2 所示为典型的 RocketD 收发器内部功能结构框图。

在发送端 CRC 校验码被插入到欲发送的并行数据,数据经过 8B/10B 编码,被写入发送端 FIFO,转换成串行差分数据发送出去。

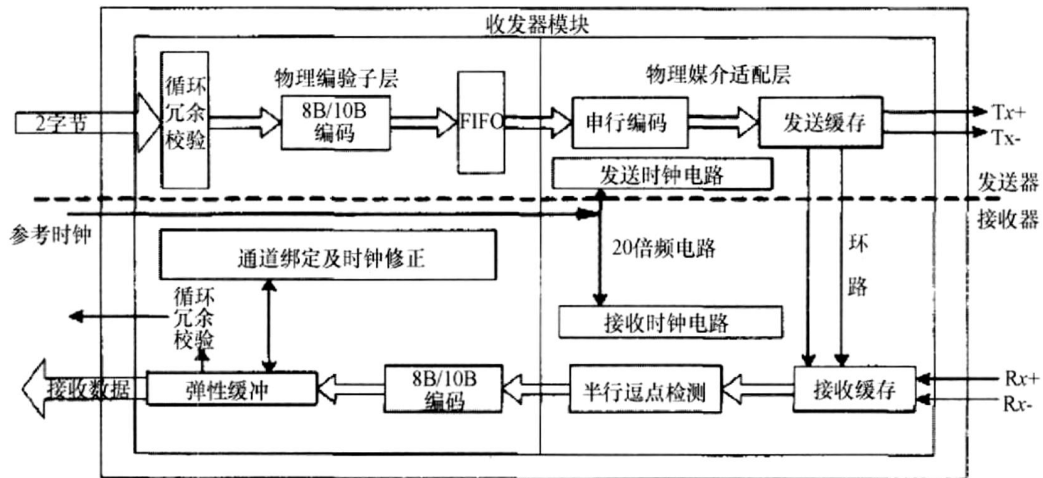


图 2 RocketD 收发器

接收端接收到的串行差分信号被写入接收端缓冲,经过串行数据到并行数据转换成并行数据,然后经过 8B/10B 解码,被写入弹性缓冲,做 CRC 校验后并行输出。

Rocket D 收发器主要包括以下几个重要组成部分:

#### (1) 8B/10B 编码

8B/10B 编码模式是指 8 个数据位转换为不连续 5 个以上 '1 或 '0 的 10 位比特码,以谋取更好

的直流 (DC) 平衡性。其编码过程是将 8 个比特分成 5B/6B 与 3B/4B 两部分分别编码。

8B/10B 编码模式具有更好的直流 (DC) 平衡性,若直流 (DC) 平衡性差,发送 '1 的个数可能比发送 '0 的个数多,潜在使激光器件过热,从而导致更好的误码率。

RocketD 收发器采用标准的 8B/10B 编码把 8 位数据编码成 10 位数据,有利于交流和直流耦合和时钟恢复。

### (2)串/并转换和并/串转换

在发送端 RocketD 收发器把参考时钟输入端送过来的参考时钟信号作 20 倍频(半速为 10 倍频),作为发送端的参考时钟,把经过 8B/10B 编码的并行数据格式转化为串行数据格式,送往串行差分发送端;在接收端, RocketD 收发器接收串行差分数据,时钟数据恢复电路从接收进来的数据流中提取时钟相位和频率,并且使接收进来的数据和该时钟保持一致,把接收回来的串行数据转换成并行数据。

### (3)CRC校验

CRC 循环冗余校验用于对被接收数据的出错检测, RocketD 收发器 CRC 校验逻辑支持 32 位常量 CRC 被用于如 Gigabit Ethernet, Fibre Channel, Infiniband 和 user defined 等多种通信模式。

## 2.3 Rocket D 设计

在 Rocket D 设计中,需要考虑以下方面。

### (1)参考时钟

高性能的通信质量要求有高稳定性和高精度的时钟源。在 Virtex II-Pro 系列 FPGA 中, RocketD 模块集中分布在上、下 4 个通道中。当 RocketD 工作在 2.0 Gbaud 以上时,参考时钟应采用差分输入方式,由上述 4 个通道的专用差分时钟引脚输入,至相同或相邻通道中 Rocket D 的 BREFCLK 输入端,以避免时钟信号引入不必要的抖动。在 2.0 Gbaud 速率以下应用时,不要用 FPGA 内的 DCM 来生成 Rocket D 的输入时钟。因为经 DCM 倍频的时钟会引入较大的抖动,使 Rocket D 的接收锁相环无法稳定地锁定发送时钟,致使系统无法正常工作。

### (2)复位

在 Virtex II-Pro 系列 FPGA 中, RocketD 模块的复位引脚分为发送 (TX\_RESET) 和接收 (RX\_RESET) 两部分。由于 DCM 在输出时钟锁定在设定值前,输出时钟处于不稳定状态,不能用作内部逻辑电路时钟,所以要在 DCM 时钟输出锁定有效,并经过适当延迟后才可将片内逻辑复位。RocketD 模块要求复位输入至少保持 2 个 USRCLK 时钟周期来完成内部 FIFO 的初始化。

## 3 HFCT 光器件简介

HFCT-5943AL 是 Agilent 公司的一款高性能光纤收发器件,它由 3 部分组成:发射和接收光学组件 (OSA)、电组件以及带有双向 SC 接口的包装机架。它可以实现点对点的通信,用于将高速串行数据信号转换成光信号进行传输,同时也可将光信号恢复成串行数据信号。传输速率范围为 125 Mb/s ~ 2.7 Gb/s, 波长为 1300 nm 的单模光纤,采用 3.3 V 电源供电,输出采用 PECL 逻辑接口。

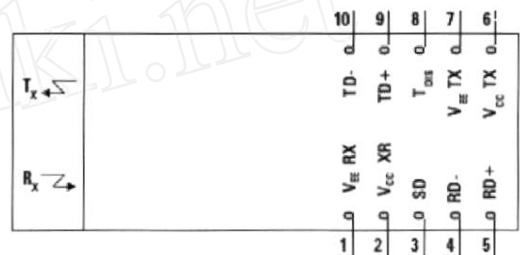


图 3 HFCT-5943AL 管脚分布图

管脚功能简介:

VEERX 为接收端的信号地,直接将这个管脚连接到接收端的信号 GND。

VEETX 为发射端的信号地,直接将这个管脚连接到发射端的信号 GND。

VCCR<sub>X</sub>、VCCT<sub>X</sub> 分别为接收端电源 (3.3 Vdc) 以及发射端电源 (3.3 Vdc),要求使用电源滤波电路,并尽可能靠近管脚。

SD 是一个功能检测信号,正常输出为高电平。如果不用,可将其悬置。

TD IS: 光纤模块使能信号。

RD+ /RD- 为两个输出管脚,它输出经 HFCT-5943AL 转换后的一对差分数据信号 (PECL 电平)。

TD+ /TD- 为两个输入管脚,分别接收高速差分数据信号 (PECL 电平) 的两个输入端。

## 4 信号接口转换电路

RocketD 模块的输出电平为 CML 电平, CML 是所有高速数据接口形式中最简单的一种,它所提

供的信号摆幅较小,从而功耗更低,此外,50 $\Omega$ 背向终端匹配减小了背向反射,从而降低了高频失真。

CML接口的输出电路形式是一个差分对管,输出信号的高低电平切换是靠共发射极差分对管的开关控制的,差分对的发射极与地之间的恒流源典型值为16mA,假定CML输出负载为50 $\Omega$ 上拉电阻,则CML信号的摆幅为 $V_{CC}$ 至 $V_{CC}-0.4V$ ,差分输出信号摆幅为800mV。

HFCT光器件的输入电平为PECL电平,PECL由ECL标准发展而来,在PECL电路中省去了负电源,PECL信号的摆幅相对ECL要小,这使得该逻辑更适用于高速数据的串行或并行连接。

PECL电路的输入结构是一个具有高输入阻抗的差分对。该差分对共模输入电压需偏置到 $V_{CC}-1.3V$ ,这样允许的输入信号电平动态范围最大。在+5.0V和+3.3V供电系统中,PECL接口均适用,+3.3V供电系统中的PECL常被称作低压PECL,简称为LVPECL。

图4给出了CML到LVPECL一种交流耦合解决方案。

## 5 结论

本文给出了基于Virtex-II Pro系列FPGA高速

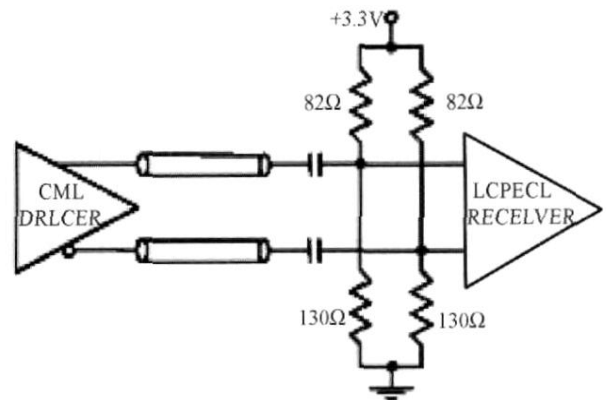


图4 CML与LVPECL之间的交流耦合

数据采集系统中的输入输出接口的实现,介绍了高速传输系统中Rocket D设计以及CML接口、LVPECL接口电路结构及连接方式,并在我们设计的高速数据传输系统中得到应用。Rocket D传输速度可达2Gbaud,系统性能稳定。

## 参考文献

- 1 RocketD™ Transceiver User Guide UG024 (V2.5), 2004
- 2 Johnson H, Graham M. High-speed digital design. Pearson Education, 2003;
- 3 Virtex-II Pro Platform FPGA Handbook 2002
- 4 李江涛. RocketD高速串行传输原理和实现. 雷达与对抗, 2004; (3): 49—51

# High-speed Infrared Image Serial Transmission Technology Research Based on RocketIO Module

SUN Ming-qi, LI Fan-ming

(Shanghai Institute of Technical Physics, CAS, Shanghai 200083, P. R. China)

[Abstract] RocketD high-speed serial transmission modules can serialize digital image and control instructions, and achieve high frame rate, multi-channel digital image transmission, and long-distance high-speed feedback control. Optical and digital image transmission modules designed by Virtex-II Pro Series FPGA, can convert multiple long-wave image signal to high-speed serial pulse of optical signal. Optical signal can be sent to the DSP board through optical fiber connector with stability, low error rate data transmission.

[Key words] RocketD fiber optic digital image high-speed transmission