

基于 Virtex - PRO 高速数据采集系统设计

廖继旺, 孙洪淋

(湖南信息职业技术学院, 湖南 长沙 410200)

摘要: 在以 Xilinx - PRO 和 MAX104A 为主要部件的高速数据采集系统中,提高系统处理速度的关键是芯片和芯片之间数据高速传输。文章重点介绍了 LVDS 和 LVPECL 接口匹配设计和高速串行 RocketIO 技术的实现。

关键词: FPGA;高速采集;接口

中图分类号: TN702 文献标识码: A 文章编号: 1006- 8937(2006) 04- 0015- 03

Design of a high-speed sampling system based on Virtex - PRO

LIAO Ji-wang, SUN Hong-lin

(Hunan College of Information, Changsha Hunan 410200,China)

Abstract: In the high-speed sampling system whose main components are Xilinx - PRO and MAX104A, the key of improving systematic processing speed is that the data are transmitted at a high speed between chip and chip. This paper mainly introduces two topics which are the interface match design of LVDS and LVPECL and the realization of high speed serial RocketIO technology.

Keywords: FPGA; high-speed sampling; interface

当前,越来越多的通信系统工作在很宽的频带上,对于保密和抗干扰有很高要求的无线军用通信更是如此。随着信号处理器件的处理速度越来越快,数据采样的速率也变得越来越高。在军事电子信息领域,要求处理的频带要尽可能的宽、动态范围要尽可能的大,以便得到更宽的频率搜索范围,获取更多的信息量。因此,通信系统对信号处理前端的 A/D 采样电路提出了更高的要求,即希望 A/D 转换速度快而采样精度高,以便满足系统处理的要求。

目前,可编程门阵列 FPGA 的出现已经显著改变了数字系统的设计方式。应用可编程门阵列 FPGA,可使数字系统设计具有高度的灵活性,因此可编程门阵列 FPGA 的应用越来越广泛。而 Virtex - PRO 的出现更是使 FPGA 的功能更加强大,但随之而来的是要求提高数据的传输速率。过去人们总是关心如何提高处理器运行速度,而现在关心的是怎样才能更快地将数据从一个芯片传输到另一个芯片。因而,高速数据采集系统的输入输出接口设计就显得尤为重要。

频信号经 A/D 采样电路采样后,转换成 LVDS (Low Voltage Differential Signaling) 信号送入 FPGA 中,或通过 FPGA 的端口 Rocket IO 从高速接口输出,或通过 FPGA 的端口 LVDS 循环存储于高速缓存中,再由低速接口输出。其中, FPGA 主要完成对外接口管理、高速缓存的控制和管理。时钟控制电路对 A/D 数据转换器和可编程门阵列 FPGA 起同步和均衡作用。

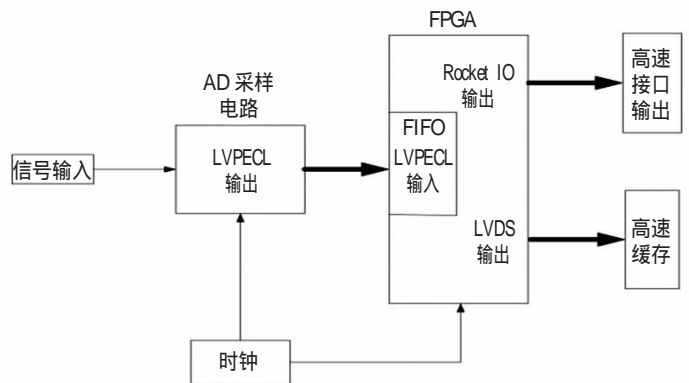


图 1 数据采集系统原理框图

1 高速采集系统介绍

数据采集系统原理框图如图 1 所示。输入的中

2 I/O 接口设计

2.1 Virtex - PRO 和 MAX104A 接口介绍

Virtex - PRO 是在 Virtex 系列 FPGA 的基础上,嵌入了高速 I/O 接口和 IBM PowerPC 处理器。它能实现超高带宽的系统芯片设计,支持 LVDS、

收稿日期: 2005- 12- 30

作者简介: 廖继旺 (1971—),男,湖南洞口人,大学本科,湖南信息职业技术学院讲师,研究方向为数字信号处理与信息安全。

LVPECL 等多种差分接口, 适应性很强, 其中高速串行 (MGT) 技术采用了 RocketIO 技术。Virtex - PRO 采用具有时钟恢复功能的全双工 3.125 Gb/s 串行 I/O 收发器, 可实现每通道带宽达到 3.125 Gb/s 的不同协议设计。收发器支持高达每通道 3.125 Gb/s 的数据速率, 并可利用通道捆绑功能来满足各种应用不断增长的数据传输速率的要求。Virtex - PRO 的收发模块由物理编码子层 PCS 和物理介质接入 (PMA) 构成, 其中物理编码子层提供与 FPGA 逻辑内的数字接口, 其内部包括: 循环冗余码校验 CRC, 8B/10B 编解码器、先进先出缓冲器 FIFO; 物理介质接入提供与外部媒体的模拟接口, 其中包括: 20 倍时钟倍频器、发送端时钟生成器、发送缓冲器、串化器、接收端的时钟恢复电路、接收缓冲器、解串器、可变速率的全双工收发器、可编程的五级差分输出幅度 (摆率) 控制和可编程的四级输出预加重模块。RocketIO 的原始设计是比较复杂的, 但如果利用 Xilinx 提供的大量成熟的和高效的 IP (Intellectual Property) 核, 就会极大地缩短设计进度, 减少开发和调试时间。由于 IP 核是根据 Xilinx 的 FPGA 器件的特点和结构设计的, 直接用 Xilinx FPGA 底层硬件原语进行描述, 可充分地发挥 FPGA 的性能开发出来, 在面积和速度上都能达到令人满意的效果。在可编程逻辑器件内嵌了具有速率 3.125 Gb/s 多端串行通信接口, 该技术包括千兆位以太网、10 千兆位以太网、3GIO、SerialATA、Infiniband 和 Fibre Channel, 为高性能的接口提供了完全的解决方案。

Virtex - PRO 支持的接口 LVDS 信号标准是一种小振幅差分信号技术, 如图 2 所示。它使用非常低的幅度信号 (100 ~ 450 mV), 通过一对平行的 PCB 走线或平衡电缆传输数据。在两条

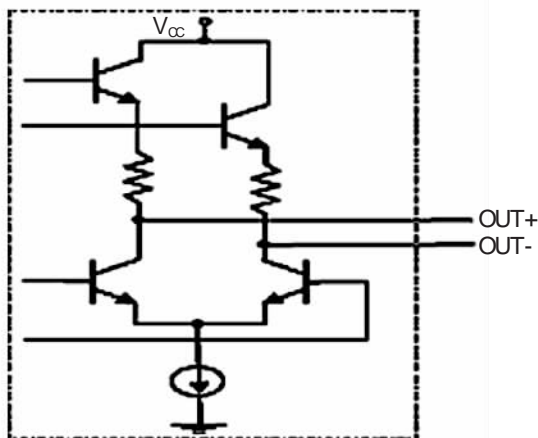


图 2 LVDS 接口的输出结构

平行的差分信号线上流经的电流方向相反, 噪声信号同时耦合到两条线上, 而接收端只关心两信号的差值, 于是噪声被抵消。由于两条信号线周围的电磁场也互相抵消, 故差分信号传输比单线信号传输电磁辐射小得多, 从而提高了传输效率并降低了功耗。

在 A/D 转换部份, 使用最新的 A/D 芯片 MAX104A, 该芯片是 MAXIM 公司的最新产品, 采样速度可以达到 1 GHz, 采样精度为 8 位, 该芯片是 PECL (Positive Emitter-Coupled Logic) 电平输出, PECL 信号的摆幅相对 ECL 要小, 适合于高速数据的串行或并行连接。PECL 的输出电路结构如图 3 所示。该电路结构包含一个差分对管和一对射随器。输出射随器工作在正电压范围内, 无信号时电流始终存在, 这样有利于提高开关速度。标准的输出负载是接 $50\ \Omega$ 电阻至 $V_{CC} - 2\text{V}$ 的电平上, 如图 3 所示。在这种负载条件下, $OUT+$ 与 $OUT-$ 的静态电平典型值为 $V_{CC} - 1.3\text{V}$, $OUT+$ 与 $OUT-$ 输出电流为 14 mA。PECL 结构的输出阻抗很低, 典型值为 $4\text{--}5\ \Omega$, 这表明它有很强的驱动能力, 但当负载与 PECL 的输出端之间有一段传输线时, 低阻抗造成的失配将导致信号时域波形的振铃现象。

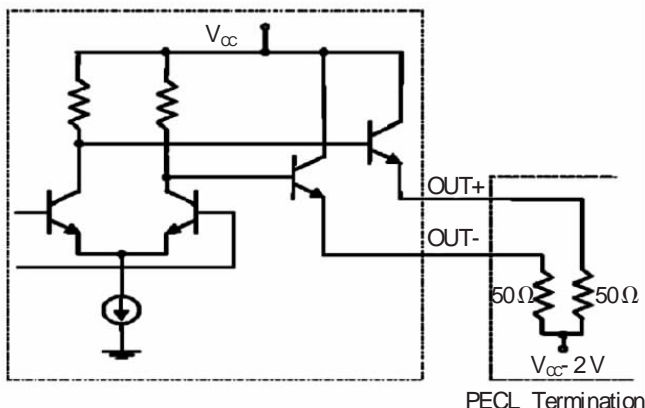


图 3 PECL 的输出电路结构

2.2 设计中应注意的几个问题

2.2.1 参考时钟

高性能的通信质量要求有高稳定性和高精度的时钟源。抖动和频偏是衡量时钟源的两个重要指标。频偏是指时钟标称频率与实际频率的偏差, 主要是受晶体精度的影响。由于 RocketIO 模块内部将输入参考时钟 20 倍频, 而 RocketIO 模块可容忍的输入参考时钟抖动公差为 40 ps, 可见参考时钟的抖动对其性能有直接影响, 所以我们必须选择性能优良的参考时钟。抖动一般是指一个实际情况下的

周期信号每个周期的图样相对于该信号理想情况下一个周期图样的偏差。在 Virtex - PRO 系列 FPGA 中, RocketIO 模块集中分布在上、下 4 个通道中。当 RocketIO 工作在 2.0Gbaud 以上时, 参考时钟应采用差分输入方式(如 LVDS、LVPECL), 由上、下 4 个通道的专用差分时钟引脚输入, 至相同或相邻通道中 RocketIO 的 BREFCLK 输入端, 以避免时钟信号引入不必要的抖动。在 2.0Gbaud 速率以下应用时, 不要用 FPGA 内的 DCM 来生成 RocketIO 的输入时钟, 因为经 DCM 倍频的时钟会引入较大的抖动, 使 RocketIO 的接收锁相环无法稳定地锁定发送时钟, 致使系统无法正常工作。

2.2.2 复位

在 Virtex - PRO 系列 FPGA 中, RocketIO 模块的复位引脚分为发送 (TX_RESET) 和接收(RX_RESET)两部分。由于 DCM 在输出时钟锁定在设定值前, 输出时钟处于不稳定状态, 不能用作内部逻辑电路时钟, 所以要在 DCM 时钟输出锁定有效, 并经过适当延迟后才可将片内逻辑复位。RocketIO 模块要求复位输入至少保持两个 USRCLK 时钟周期来完成内部 FIFO 的初始化。

2.2.3 PCB 设计

在 PCB 的设计中, 应使差分线对的长度相互匹配以减少信号扭曲。为使设计传输速率达到 2.0Gbaud, 在差分线对内部每个走线区间内的实际布线公差应控制在 5 mil 内。差分线对两条线之间的距离应尽可能小, 以使外部干扰为共模特征。差分线对间的距离应尽可能保持一致, 以降低差分阻抗分布的不连续性。采用电源层作为差分线的信号回路, 因为电源平面有最小的传输阻抗, 从而减小噪声。由于每个过孔可带来 0.5~1.0 dB 的损耗, 应尽量减少过孔数目。过孔的通孔和焊盘应有尽量小的物理尺寸, 并且在通孔穿越的未连接层不加焊盘。差分对内的过孔不仅在数量上要匹配, 而且在放置的位置上也要接近, 以使阻抗分布尽量一致。避免导致阻抗不连续的 90°走线, 而要用圆弧或 45°折线来代替。走线时应使向左、向右折角的数量接近, 这样可减少信号经差分线传输引起的扭曲。

2.3 接口解决方案

在上文所介绍的高速采集系统中芯片间有两种接口: PECL 和 LVDS。如何进行这两种接口互联就成为影响系统性能的关键因素。LVDS 的输入与输出都是内匹配的, 所以 LVDS 间的连接可采用图 4 所示的直接连接。在 FPGA 内, 需对差分输入时钟缓冲器 (IBUFDS)、差分输入的全局时钟缓

冲器 (IBUFGDS) 和差分输出时钟缓冲器 (OBUFGDS) 例化。在本项目的应用中, 发送及接收 FIFO 的设计用了双口块内存 (Block RAM), 时钟倍频器用了延迟锁定环 (DLL)。帧解码器由 30 位并行数据产生器、同步字检测阵列和接收状态机组成。

FPGA 内的部分代码如下:

```
component IBUFDS——差分输入时钟缓冲器 (IBUFDS)
    port (O: out STD_ULONGIC;
          I: in STD_ULONGIC;
          IB: in STD_ULONGIC);
end component;
IBUFDS_INSTANCE_NAME: IBUFDS
Port map (O=>user_O, I=>user_I, IB=>user_IB);
```

```
PROCESS RESET, CLK) ——帧编码器设计
IF RESET='1' THEN COUNT<=0;
ELSF CLK'EVENT AND CLK='1' THEN
COUNT<=(COUNT+1) MOD 256;
END PROCESS;
TC<='1'WHEN COUNT=255 ELSE '0';
TYPE STATE_TYPE IS IDLE, PACK1, PACK2,
TRANSMIT);
SIGANL SREG: SETAT_TYPE;
.....
PECL DRIVER 到 PECL RECEIVER 的连接一
```

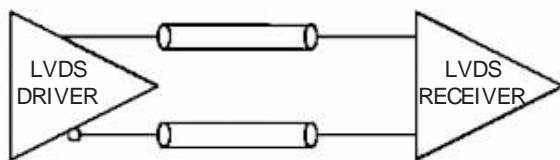


图 4 LVDS 间的连接方式

般采用直流耦合。在直流耦合情况下, PECL 输出设计成驱动 50Ω 负载至 (V_{CC}-2V), 电路如图 5 所示。

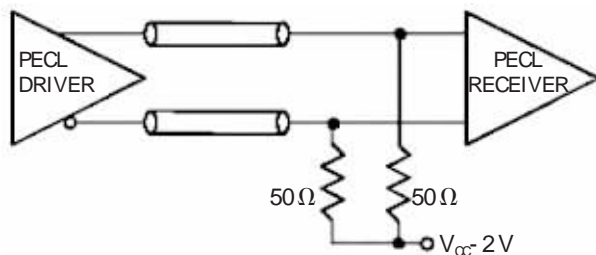


图 5 PECL 间的连接方式

(下接第 39 页)

4 C8051F020 单片机在双频激电仪中的应用

根据双频激电仪的工作原理,设计其系统结构框图如图 2 所示,从输入端引入双频信号,经输入保护进入共同通道进行带通及放大;然后分别进入高频通道和低频通道,进行精密检波以及积分,再加载到 C8051F020 的 A/D 系统进行 AD 转换,分别得到低频、高频电位差 (VD、VG),进而通过公式计算出幅频率参数 FS 的值。

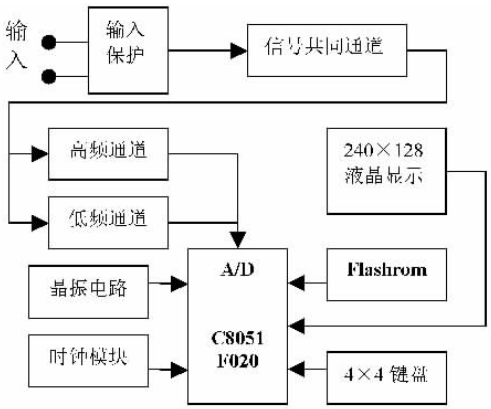


图 2 仪器系统结构框图

本仪器以 C8051F020 为核心,外围扩展了 Flashrom 作为数据存储器、时钟模块 DS12C887、智能液晶和键盘等,它们主要用于人机交互、汝按键识别、液晶显示和存储所测得的数据。系统配以相应的软件设计就可实现信号采样及检测、数据输出等的控制。同时 C8051F020 丰富的 I/O 端口为以后的功能扩展打下了坚实的基础。

5 结语

本文选用美国 Cygnal 公司的 C8051F020 作为双频激电仪的中央处理器,利用其速度快、功耗低、运算处理能力强等特点,实现了幅频率参数 FS 的快速高精度测量计算。测试证明其应用效果较好。

参考文献:

- [1] 何继善,鲍光淑,温佩琳,等.双频道激电法研究[M].长沙:湖南科学技术出版社,1989.
- [2] 柳建新,何继善,张宗岭,等.双频激电法及其在示范区的应用[J].中国地质,2001,28(3): 32-39.
- [3] 李刚,林凌.与 8051 兼容的高性能,高速单片机-C8051 Fxxx[M].北京:北京航空航天大学出版社,2002.

(上接第 17 页) FPGA 内的部分代码如下:

U1:OBUFDS_LVPECL——差分输出时钟缓冲器 OBUFDS)

```
port map (
    I => data_in_P,
    IB => data_in_N
    O => data_in
);
```

.....

经实际测试,输入输出指标均符合系统要求。

在硬件电路设计中,由于 LVDS 信号的偏置电压为 1.25 V,电压摆幅只有 350 mV,传输速率 100 Mb/s;因此,电路板制作至关重要,要求至少使用四层板。为使干扰信号以共模方式加到差分线对上(不影响数据正确性),要求差分线对间的距离尽可能小。电源方面,FPGA 芯片上电时要求有大于

500 mA 的驱动电流,同时,由于多个输出引脚的电位快速变化,要求每对电源和地引脚都应良好旁路。

3 结语

本文给出了基于 Virtex-II Pro 的数据采集系统,设计了高速传输系统中 RocketIO 设计以及 LVDS 接口、PECL 接口互连,通过验证,RocketIO 传输速度可以达到 2.5 Gbaud, LVDS 总线上的传输速率可以达到 120 Mb/s,系统性能稳定,具有较高实用价值。

参考文献:

- [1] 沈兰荪.高速数据采集系统的原理与应用[M].北京:人民邮电出版社,1995.
- [2] 孙航.Xilinx 可编程逻辑器件的高级应用与设计技巧[M].北京:电子工业出版社,2004.