

千兆以太网 MAC 和 RocketIO GTP 收发器的集成实现

赵艳杰, 王向阳

(东南大学移动通信国家重点实验室, 江苏省南京市 210096)

摘要: 嵌入式三模式以太网 MAC(媒体访问控制)和 RocketIO GTP(GPRS(通用分组无线电业务)Tunnelling Protocol)收发器是 Xilinx 公司 FPGA(现场可编程门阵列)器件内部的 2 个硬核。主要介绍了 Virtex-5 器件中以太网 MAC 模块和 RocketIO GTP 收发器模块的功能集以及千兆以太网 MAC 和 RocketIO GTP 收发器的集成实现。该实现在软件和硬件上大大简化了物理层与数据链路层之间的通信连接。

关键词: 以太网 MAC; RocketIO GTP 收发器; 硬核

中图分类号: TN929.5

0 引言

当前,因特网与电子商务的蓬勃发展不断带动诸如视频会议、网络电视以及远程教学等许多高带宽需求的应用,也促进了高速网络不断向前演进。千兆以太网因其具备高带宽和高速率的特性,成为广受瞩目的焦点。另外,在系统级互连设计中,高速串行 I/O 技术迅速取代传统的并行 I/O 技术正成为业界趋势。高速串行 I/O 技术能够带来更高的性能、更低的成本和更简化的设计。

Virtex-5 是 Xilinx 公司最新推出的 FPGA(现场可编程门阵列)芯片。采用了 65 nm 铜布线 CMOS 工艺和低功耗的 IP 模块,共有 4 款平台,即 LX、LXT、SXT 和 FXT。其中在 LXT 和 SXT 这 2 款芯片中内嵌了三态以太网 MAC(媒体访问控制)模块和 RocketIO GTP(GPRS(通用分组无线电业务)Tunnelling Protocol)收发器模块。

Virtex-5 嵌入式三模式以太网 MAC 为各种网络接口提供了一个经济的解决方案,能够以 10/100/1000 Mbit/s 的速率连接到 BASE-X 和 BASE-T 网络。它与 Virtex-5 RocketIO GTP 收发器技术相结合,能够让用户与各种网络设备进行连接。

主要介绍了 Virtex-5 器件中以太网 MAC 模块和 RocketIO GTP 收发器模块的功能集以及千兆以太网 MAC 和 RocketIO GTP 收发器的集成实现。该实现在软件和硬件上大大简化了物理层与数据链路层之间的通信连接。

1 嵌入式三模式以太网简介

Virtex-5 嵌入式三模式以太网是 Xilinx FPGA 内部的一个硬核,完全符合 IEEE 802.3 规范。图 1 显示了以太网 MAC 与 OSI(开放系统互连)参考模型之间的关系。

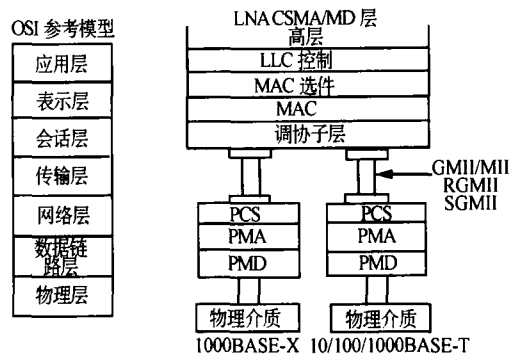


图 1 IEEE 802.3.2002 以太网模块

在 Xilinx 设计环境中,每个嵌入式以太网 MAC 模块包含 2 个独立的以太网 MAC(EMAC0 和 EMAC1)。主要特性有^[1]:

- a) 支持 10/100/1 000 Mbit/s 模式以太网 MAC 业务;
- b) 可配置的全双工(10/100/1 000 Mbit/s)和半双工工作模式(10/100 Mbit/s);
- c) 全双工模式下可配置的 IFG(帧间隙);
- d) 支持 FCS(帧校验序列);
- e) 硬件可选择的 DCR(设备控制寄存器)总线接口或一般主机总线接口;
- f) 可配置的流量控制功能。

图 2 显示了 Virtex-5 嵌入式三模式以太网 MA 模块的结构。

收稿日期: 2008-01-08; 修回日期: 2008-03-04。

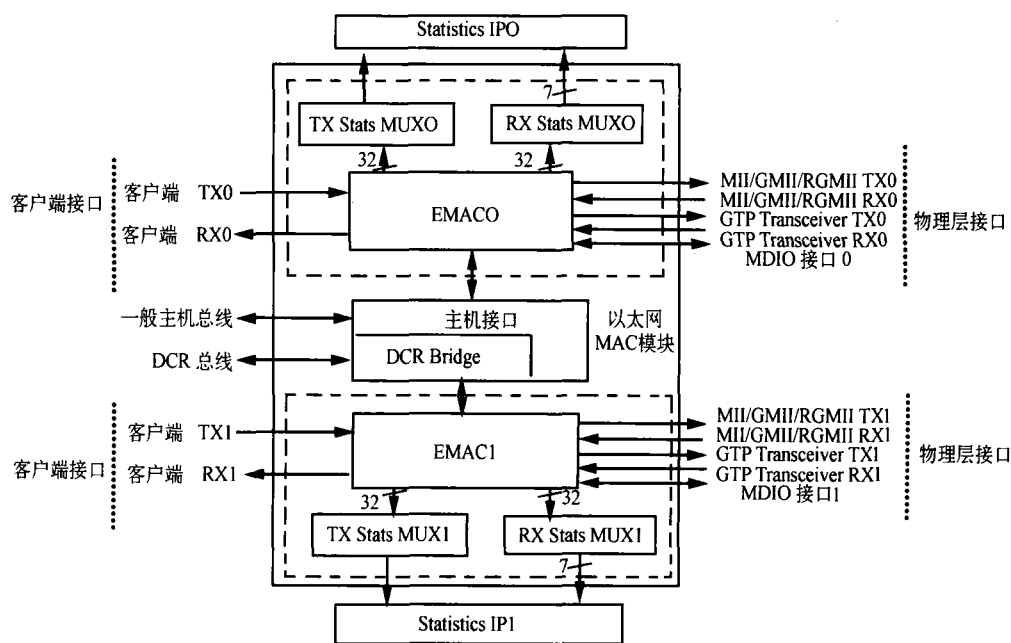


图 2 嵌入式三模式以太网 MAC 模块结构

每个以太网 MAC 模块都有独立的发送端和接收端,提供全双工通信。通过一般主机总线或 DCR Bridge 的 DCR 总线可以访问主机接口。再通过主机接口可以访问以太网 MAC 的配置寄存器(巨帧使能、暂停、单播地址以及 FCS 生成)。每个以太网 MAC 的物理层接口可以配置成 MII、GMII、RGMII、SGMII 或 1000BASE-X。每个以太网 MAC 都有一个可选择的 MDIO(管理数据 I/O 接口),它允许访问外部物理层的管理寄存器或以以太网 MAC 中 PCS/PMA 内部的物理接口管理寄存器(仅用于 1000BASE-X 或 SGMII 模式配置)。

当将以太网 MAC 配置成 1000BASE-X PCS/PMA 模式时,PCS/PMA 模块与 RocketIO 收发器一起工作,能够提供与吉比特转换器或者小型可插式光纤收发器进行直接连接所需要的所有功能,这可以避免 1000BASE-X 网络应用所需的外部物理层芯片。

2 RocketIO GTP 收发器简介

Virtex-5 RocketIO GTP 收发器是 Xilinx FPGA 器件中内嵌的一个硬核,具有通用性、低功耗和低成本等特性,可以支持多种标准协议,如 Aurora、Serial RapidIO、Gigabit 以太网(1000BASE-CX 802.3z/D5.0)等^[2]。

Virtex-5 RocketIO GTP 收发器的具体特性是:

- a) CML(电流模式逻辑)串行驱动/具有可配置终端的缓冲器;
- b) 可编程的发端预加重技术和收端均衡技术用

于保持信号的完整性;

- c) 支持 100 Mbit/s 到 3.2 Gbit/s 的传输速率,支持 5X 的数字过采样(当数据率处于 100 Mbit/s 与 500 Mbit/s 之间);

- d) 支持内部 PCS 的多种特性:8B/10B 编解码、Comma 对齐、信道绑定和时钟纠正;

- e) OOB(Out of Band)信号,包括支持 PCI Express 标准和 SATA 标准的 COM 信号,在 Virtex-5 LXT 和 SXT 器件中,每个 GTP-DUAL 模块包含 2 个 GTP(GTP0 和 GTP1)。

图 3 为 GTP-DUAL 的模块框图。

图中,2 个 GTP(GTP0 和 GTP1)模块共享一个 PLL(锁相环),从而减少了 FPGA 板子尺寸,降低了功率消耗。每个 GTP 模块包括一个独立的发送模块和接收模块。发送模块和接收模块都是由 PCS(物理编码子层)和 PMA(物理介质附件)构成的。其中:PMA 属于收发器的数/模混合部分,主要包括串/并转换、并/串转换、共享 PMA PLL 模块、接收时钟恢复电路以及发端预加重和收端均衡模块;PCS 属于收发器的数字部分,主要包括 8B/10B 编解码模块、极性控制模块、伪随机序列生成模块以及相位调整 FIFO 模块和过采样模块。在数据传输过程中,发送端将上层客户端送过来的数据(8 bit/16 bit)通过 PCS(8B/10B 编码)和 PMA 子层(并/串转换)将处理后的数据通过实际物理介质以串行方式传送出去。接收端将物理介质上传送过来的数据再通过相反的操作送到上层客户端。

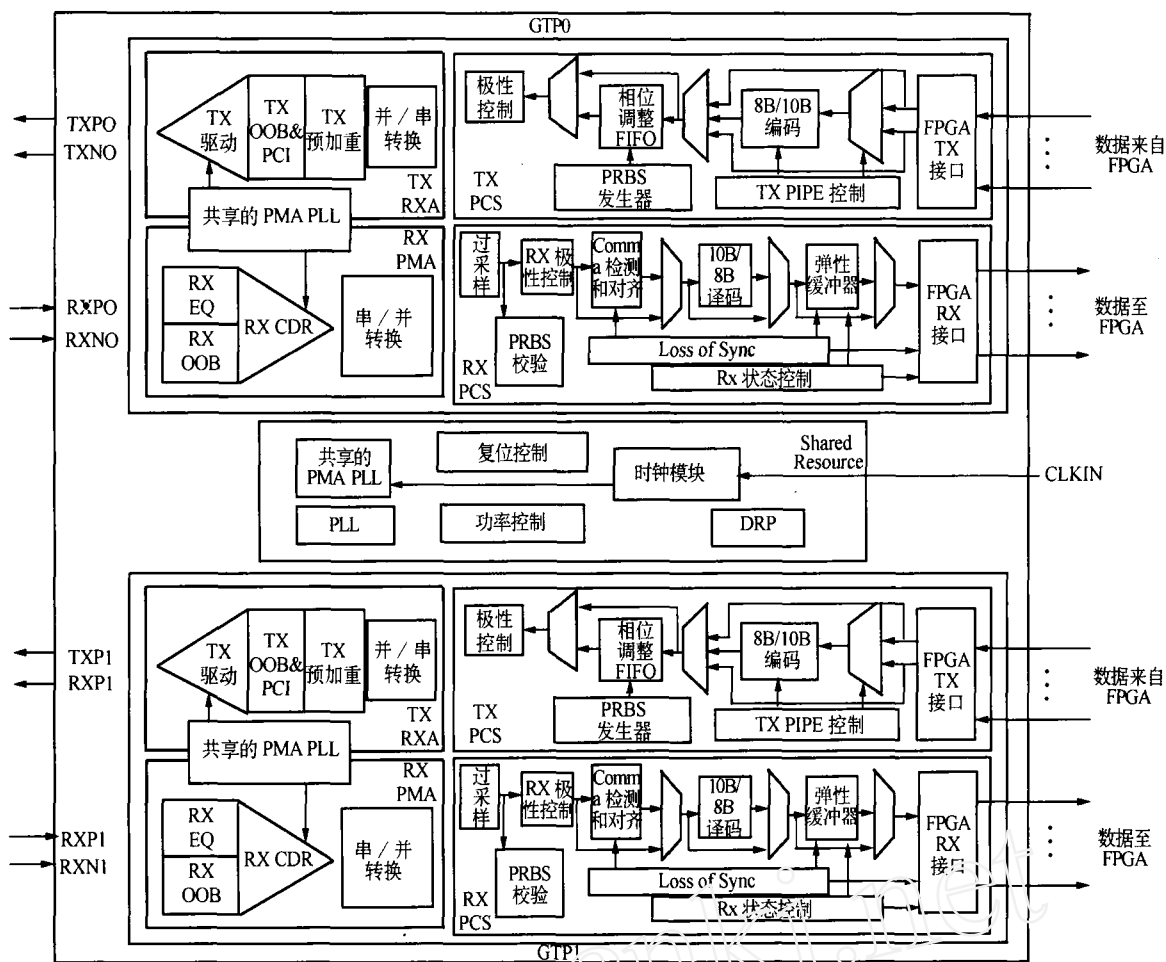


图3 串行收发器模块框图

3 千兆以太网 MAC 和 RocketIO GTP 收发器的集成实现

本文中千兆以太网 MAC 和 RocketIO GTP 收发器的集成实现主要通过 Xilinx Core Generator 工具实现，通过 Core Generator 的 GUI 来例化以太网 MAC 原语 TEMAC 和 RocketIO GTP 收发器原语 GTP_DUAL。本设计中物理层接口选择为 1000BASE-X PCS/PMA，从而将 Virtex-5 RocketIO GTP 收发器集成在一起。另外，设计中还增加了一个地址交换模块和 FIFO 模块来完成数据的环回传输，从而来验证本设计的完整性。其中 FIFO 一端通过本地链路(Local Link)接口与地址交换模块相连，另一端与以太网 MAC 客户端相连。地址交换模块将接收的 MAC 数据帧中的源 MAC 地址和目的 MAC 地址相交换，再通过本地链路接口转发给发送端的 FIFO，接着再送给以太网 MAC 客户端，进而通过 RocketIO GTP 传送出去，从而实现数据的环回传输^[3]。

图 4 为千兆以太网 MAC 和 RocketIO GTP 收发器集成实现的结构框图。

考察逻辑设计最终占用的 FPGA 资源，主要是看占用的 Slice、Block RAM、GCLK 以及 LUT 和 FF 的占用情况。表 1 为该设计实现中器件资源占用情况。

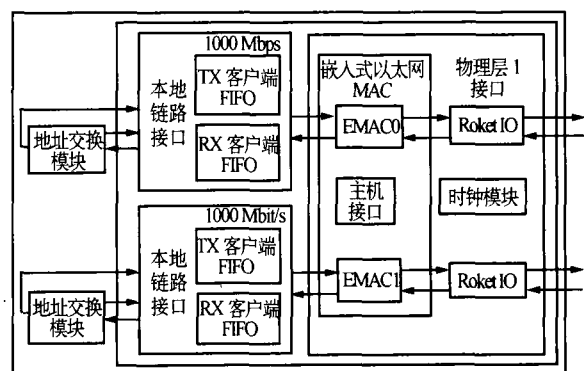


图4 千兆以太网介质访问控制和 RocketIO GTP 收发器的集成实现框图

表 1 设计资源占用表

物理层接口	参数值	器件资源				
		Slices	查找表	寄存器	块 RAM	全局时钟
1000BASE-X (8 bit 接口)	EMAC0, EMAC1	915	135	1 022	8	2

4 千兆以太网 MAC 和 RocketIO GTP 收发器集成实现的仿真

利用 Mentor Graphics Modelsim SE 6.1b 仿真工具对设计进行仿真，从而验证千兆以太网 MAC 和 RocketIO GTP 收发器集成实现的完整性。进行仿真前的准备条件包括：

a) 仿真器必须提供 SWIFT 模型来支持以太网 MAC 和 RocketIO GTP 收发器的仿真;

b) 修改 modelsim. ini 的相应参数,并添加相应的环境变量;

c) 编译仿真库 UNISIMS、SIMPRIM、SmartModel。

以上条件都准备就绪后就可以对设计进行仿真。

图 5 为该设计实现的仿真波形图。

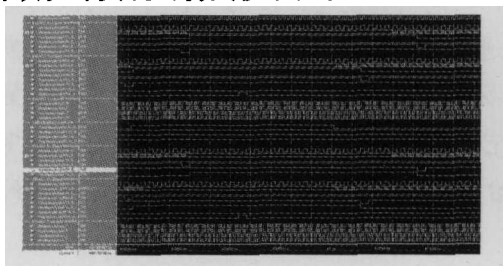


图 5 设计实现的仿真波形

在设计中通过 RocketIO GTP 收发器以 1 Gbit/s 的速率给千兆以太网 MAC 模块传送 4 个数据帧,其中,第 1 个帧(帧 0)为最小长度数据帧,第 2 个帧(帧 1)为类型帧,第 3 个帧(帧 2)为坏帧,第 4 个帧(帧 3)为插入 Pad 的帧。当这些数据帧被送到千兆以太网 MAC 的发送端时,会对它们的有效性进行检测,这时坏帧会被丢掉。这样,在接收端只能收到正确的数据帧(帧 0、帧 1 和帧 3)。整个数据的环回传输过程可以从图 5 中的仿真波形图看出。图 6 为发送数据帧和接收数据帧的具体说明。

从图 6 可以清楚地看出,发送端发送了 4 个数据帧(帧 0、帧 1、帧 2 和帧 3),EMAC0 和 EMAC1 各发送

4 个。接收端只收到 3 个正确的数据帧,第 3 个坏帧被检测出来丢弃掉了。

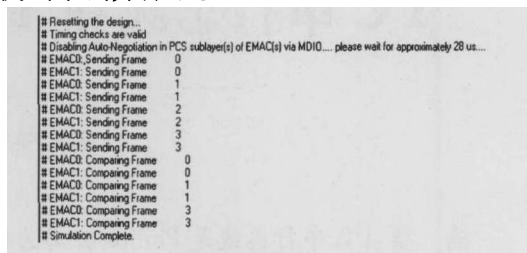


图 6 收发数据帧比较

5 结束语

本文介绍了业界最先进的 FPGA 平台 Virtex-5 内嵌的 2 个硬核:三模式以太网 MAC 和 RocketIO GTP 收发器及其集成实现。通过利用 Xilinx Core Generator 工具来例化 MAC 原语和 RocketIO GTP 收发器原语在很大程度上简化了物理层和数据链路层之间的通信连接。最后通过仿真验证了整个设计实现的完整性。该设计为实现 1000 Mbit/s 高速率传输提供了保证。

参考文献

- [1] Virtex-5 Embedded Tri-mode Ethernet MAC User Guide. UG194(v1.2)[M], 2007.
- [2] Virtex-5 RocketIO GTP Transceiver User Guide. UG196(v1.3)[M]. 2007.
- [3] Virtex-5 Embedded Tri-mode Ethernet MAC Wrapper v1.3. UG340[M]. 2007.

赵艳杰(1981-),男,硕士研究生,主要研究方向为网络通信及其硬件实现。

Integrated Implementation of 1000Mbps Ethernet MAC and RocketIO GTP Transceiver

ZHAO Yanjie, WANG Xiangyang

(National Mobile Communications Research Laboratory, Southeast University, Nanjing 210096, China)

Abstract: The embedded Tri-Mode Ethernet MAC and RocketIO GTP Transceiver are two hardcore of Xilinx FPGA device. This paper introduces mainly the comprehensive functions of Ethernet MAC module and RocketIO GTP Transceiver of Virtex-5, and also the integrated implementation of 1000Mbps Ethernet MAC and RocketIO GTP Transceiver. This kind of implementation simplifies significantly the communication connection between physical layer and data link layer in software and hardware.

Keywords: embedded Tri-Mode Ethernet MAC; RocketIO GTP transceiver; hardcore