

# 千兆以太网 SOPC 系统的实现

赵 研,屈 超,岳新宇

(中国电子科技集团公司第 54 研究所,河北 石家庄 050081)

**摘 要** 网络正在成为当今社会通用通信的骨干力量,现代化的设备迫切需要解决如何简洁高速的接入问题。涉及了基于 FPGA 的嵌入式技术。简要介绍了使用 Xilinx 的 EDK 和 ISE 等工具的设计流程和设计实现支持 TCP/ IP 协议的 10M/ 100M/ 1000M 以太网 SOPC 系统的工程实例,并对涉及的关键技术进行了说明,列出了实物系统的指标测试结果。

**关键词** FPGA;EDK;SOPC;嵌入式开发;EMAC;PowePc

中图分类号 TN911 文献标识码 A

## Design of Gigabit Ethernet Network SOPC

ZHAO Yan,QU Chao,YUE Xin-yu

(The 54th Research Institute of CETC, Shijiazhuang Hebei 050081, China)

**Abstract** The net is becoming the foundation of modern common communications, it's urgent to solve the access to the system with the ethernet simply and efficiently. The paper deals with the technology of embedded system based on the FPGA, introduces the flow of using the Xilinx design tools, such as ISE EDK, and shows the design of TCP/ IP enabled tri-mode (10M/ 100M/ 1000M) ethernet network SOPC. This paper also provides the detail of key techniques. Finally, the testing data of the practical system is provided.

**Key words** FPGA;EDK;SOPC;the embedded design;EMAC;PowePc

### 0 引言

在系统设备不断向小型化、集成化、网络化发展的今天,嵌入式开发成为新技术发展的最前沿,改变着系统的整体结构。FPGA 由于其自身特点,成为了嵌入式开发的最佳平台。Xilinx 公司结合其最新一代高端芯片推出了全新的嵌入式开发系统,能够实现硬核 PowerPc 405 或软核 MicroBlaze 32 位处理器为核心的 SOPC 系统,实现许多以前需要计算机或专门处理设备处理的工作。

在 Virtex 4 中, Xilinx 首次集成了硬核 EMAC。硬核 EMAC 具备 10M/ 100M/ 1000M 三种工作模式,独立 MAC 层网络工作结构, CPU 通过 DCR 总线直接配置参数,这大大减轻了 CPU 处理器对于数据链路层和物理层的控制开销,能够更方便地开发高速以太网系统;EDK 是 Xilinx 推出的基于其 FPGA 器件开发 SOPC 的开发环境,EDK 由多个工具包组成,和 Xilinx FPGA 设计工具 ISE、System Generator 和 Plan Ahead 等联合使用能够实现复杂大系统的硬件 FPGA 设计。

本文主要介绍了一种数字化系统结构中高速数据网络传输关键技术的设计实现。

### 1 系统组成与设计

#### 1.1 设备系统方案

一个典型的射频系统结构如图 1 所示。在系统设计中,为了提高系统灵敏度,低噪声场放应尽可能靠近天线,并在保证系统动态范围的条件下尽可能提高场放增益。前后安装的放大器 1、2 主要是为了克服前、后端设备之间长距离信号传输的损耗,同时提高信号传输的电平也有利于防止其他干扰。在多路射频传输系统中(如多波束测向天线),不仅需要有多路低噪声场放和驱动放大、多路传输馈线,还需要考虑各路传输系统之间的幅相平衡。

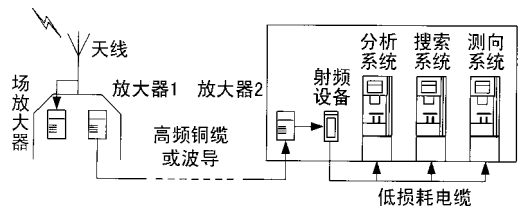


图 1 一种典型射频系统结构

由于数字信号具有抗干扰能力强、保存、传输和处理方便的特点,特别适合于带限信号(几乎所有射频系统都是带限系统),只要满足采样定理且具有足

收稿日期:2006-05-12

够的量化精度,数字信号可以在不损失原有信息的条件下,具有很高的信息处理精度。因此,数字信号处理已经成为许多射频系统的核心。本设计是将高速数据采集、缓存、控制和三态千兆网 SOPC 系统的接口电路集成在一起,在 Xilinx 的软件设计平台下,进行集成开发。图2是本设计的基本系统功能结构,它可广泛嵌入于各种网络化的数字信号处理平台,已在 FPGA 上得到了初步实现。

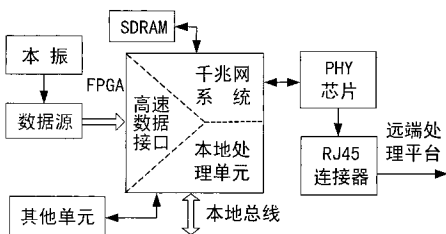


图2 系统功能结构

### 1.2 三态千兆以太网 SOPC 系统的组成

使用 EDK 的主开发平台 XPS 搭建千兆以太网 SOPC 的硬件平台。三态千兆以太网 SOPC 系统在 EDK 下设计的基本组成如图 3 所示。

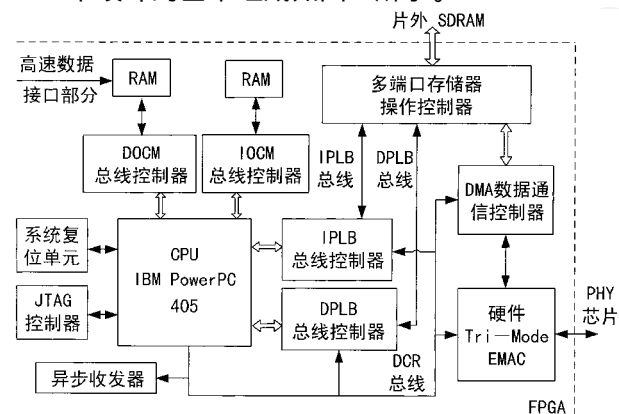


图3 三态千兆以太网 SOPC 系统组成

在系统中 CPU 是核心,它控制所有的部件,运行软件程序;DOCN 控制器、IOCM 控制器和片内 RAM 一起为 CPU 提供了工作时的指令代码内存;IPLB、DPLB 和多端口存储器操作控制器则负责传递 CPU 要处理的数据和指令,并将处理完毕的数据交换到片外 SDRAM;DMA 数据通信控制器和 TEMAC 的功能则是把 CPU 处理后待发送的网络数据发送;DCR 总线和 DCR 总线中断控制器完成对于所有设备的配置工作,设备中断请求的响应,引导 CPU 处理中断请求的功能;DCR 转 OPB 总线桥和异步收发器则为系统提供一个串口调试界面。

### 1.3 关键技术

由于千兆以太网 SOPC 系统的高带宽高速率要

求,使得在设计开发中必须解决几个关键的技术,建立全新的 SOPC 系统。

#### (1) CPU 处理器

CPU 是 SOPC 的核心,为了满足系统的复杂要求,实现千兆以太网 CPU 的复杂功能,必须有一种高吞吐量高处理速度的处理器。Virtex 4 集成的 IBM 硬核 PowerPC 405 处理器提供了很好的解决平台。

Xilinx 提供硬核 PowerPc 和软核 Microblaze 两种处理器,它们都是 32 位流水线结构的 RISC 型 CPU 处理器,全面执行 32 bit 的运算处理。2 种 CPU 性能参数如表 1 所示。

表 1 CPU 参数指标

CPU 参数	MicroBlaze	PowerPc
数据总线宽度	32 bit	64 bit
ALU 宽度	32 bit	32 bit
内部寄存器宽度	32 bit	32 bit
地址总线宽度	32 bit	64 bit
指令宽度	32 bit	32 bit
吞吐量(最大)	200 DMIPS	650 DMIPS
总线主频	800 MHz (LMB)	> 1.3 GHz (OCM)

#### (2) 存储器的高速控制

在系统运行中,CPU 运行和三态千兆网 SOPC 系统的工作需要大量的存储器空间,而 FPGA 内部的 RAM 资源有限,不足以支持整个设计的存储空间需求,需要解决存储容量问题;其次对于存储空间的操作使用千兆以太网是一个高数据吞吐量的系统,数据操作频繁而且要求高速,在传统的 HARVD 总线结构中所有系统设备包括 CPU 在内共享唯一一对存储器接口势必造成总线使用权的竞争,总线数据的阻塞,系统的瓶颈,严重影响系统的完成率。

为了解决存储器高速率操作问题,使用 EDK 下的工具包 Creat-Import Peripheral 创建并使用独立的 IP Core——MPMC,它实现了针对片外 DDR SDRAM 的高速多端口操作要求,可以提供 4 个独立并行高速率操作端口,实现高带宽系统的存储。

MPMC 在系统内最大支持 32 bit 的 DDR SDAM 200 MHz 的时钟读取,其接口可以直接接嵌入式处理器的 PLB 总线和外设的 DMA 接口;其内部所有控制信号接入数据和指令通道,端口仲裁器针对 4 个端口的指令操作,配置 SDRAM 不同的触发工作模式,将几个端口的操作最高效的整合在一起,继而对数据通道和地址通道 MEMORY 控制器的控制重新排列端口的操作顺序,最终实现了多端口高速存储

器的数据操作。

(3) 数据控制器

传统的 SOPC 数据控制都是由 CPU 或中断管理器进行控制,这样不是消耗 CPU 的时间资源就是达不到高速的系统控制反映要求,而硬核 Tri-mode EMAC 使 SOPC 以太网系统的数据接收、发送与 CPU 数据的处理工作能够完全隔离并行起来;而且千兆网数据吞吐量在 1 GMIPS 以上,基于以上两点,必须要设计一种更够独立处理高速收发以太网数据的数据控制器,它能够在 CPU 配置之后长时间地独立引导以太网数据在 EMAC 和 MPMC 之间高速交换,创建并使用独立的 IP Core——CDMAC。

CDMAC 的结构包含 4 个 DMA 引擎,128 bytes 存储器触发能力,分散的地址数据 Buffer。CDMAC 针对 MPMC 提供了 2 个独立的数据操作端口,针对 TEMAC 提供了为其硬件总线构造的 4 个收发端口,在 CDMC 内部有数据通道,控制通道,各包含 2 个 DMA 引擎,可以根据数据的长度产生 DMA 的不同长度读写触发工作模式,最大效率地提高操作效率,将收发的数据速率提升至 1 GMIPS,对于 CDMAC 的控制是通过 CPU 的 DCR 总线实现的。CDMAC 实现了双通道的点对点的高速 DMA 管理器,为将数据在 TEMAC 和 MEMORY 之间高速传递创造了手段。

(4) 系统软件开发

SOPC 的系统硬件为整体设计提供了硬件基础,实现了 MAC 层以下的网络功能,但是系统的运行、设备的控制、系统各部分功能实现,以太网的 TCP/IP 协议的实现等等都需要软件来实现。

软件的设计开发,使用 EDK 下集成的工具 SDK,使用 C 和 C++ 语言混合编程,进行系统软件的设计。

在软件开发中,遇到了网络通信的关键问题,就是网络协议的实现。需要一种高效的便于 SOPC 实现的 TCP/IP 协议。EDK 下的第三方支持库 TRECK 能够很好地解决这个问题,它使用一种简化的商业版 TCP/IP 协议,并向 Xilinx 用户提供上层的 API 函数,帮助设计者很容易就实现了 TCP/IP 协议。且通过软件设计控制可以实现 EMAC 的中断合成控制,即收发若干帧后再申请中断操作;巨包功能——使用 TCP/IP 协议的大包策略,最大可支持 9 Kbytes 长度的帧。这些手段都可以加强有效载荷的传输速率。

1.4 系统实现

(1) 使用 ISE 完成 FPGA 的整体设计

在嵌入式设计结束后,在 XPS 下将设计指定为 FPGA 的子设计,将设计文件导入 ISE 下,进行 FPGA 的系统设计,完成高速数据接口和本地处理单元的设计。

(2) 调试

设计完成后,首先调用 MODELSIM 软件进行软件仿真,调整时序和逻辑关系;之后利用 VC,编写与三态千兆网系统 TRECK 协议设计的通信协议结构相对应的客户端千兆网络通信程序,使用 EDK 调试工具 GNudebugger 将编译后的代码加载到硬件上,进行硬件嵌入式系统运行仿真,使用 SOPC 的硬件串口和台式电脑网络客户端程序协同调试;最后使用工具 Chipscope pro 对整个 FPGA 整体的工作进行调试,直到达到设计要求。

在某项目研究中,将硬件的数据源从 FPGA 的硬件接口送入嵌入式系统,系统调用 TCP/IP 协议将数据自动根据预先定义的帧结构和 IP 地址打包成帧,继而发送。通过客户端的测试程序,三态千兆通信达到设计要求。以下是部分资料和数据,如表 2 所示。

表 2 指标参数

帧长度/bit	帧/s	帧速率/Mbps	有效信息速率/Mbps
64	575 428	294.62	211.76
128	597 472	611.81	525.78
512	233 012	954.42	920.86
1 518	80 656	979.49	967.87
5 000	24 736	989.44	985.88

2 结束语

使用千兆网系统可以直接将处理的高速信号直接从网口发送给远端处理计算平台,省掉了功率放大器和高频电缆等,减少了投入,加强了系统的集成性和可靠性,更便于设计人员的调试,且接口更具通用性和扩展性。✧

参考文献

[1] xapp 536. Ggabit System Reference Design[S].  
 [2] xapp 535. Multi Port Memeory Contraller[S].  
 [3] xapp 546. High Performance TCP/IP on Xilinx FPGA Devices Using the Treck Embedded TCP/IP Stack[S].  
 [4] 徐欣,于红旗等.基于 FPGA 嵌入式系统设计[M].北京:机械工业出版社,2005.

作者简介

赵研男,(1981-),中国电子科技集团公司第 54 研究所助理工程师。主要研究方向:通信对抗、嵌入式系统开发。

屈超男,(1981-),中国电子科技集团公司第 54 研究所助理工程师。主要研究方向:通信对抗、高速电路设计。

