

# 基于 FPGA 的高速串行传输接口研究与实现

李大鹏, 陈长胜, 王世奎, 李 雯

(中国航空计算机研究所, 陕西 西安 710068)



**摘要:**介绍了 FPGA 最新一代器件 Virtex-5 上的高速串行收发器 RocketD。基于 ML505 开发平台构建了一个高速串行数据传输系统,重点说明了该系统采用 RocketD 实现 1.25 Gbps 高速串行传输的设计方案。实现并验证了采用 FPGA 完成千兆串行传输的功能目标,为后续采用 FPGA 实现各种高速协议奠定了良好的基础。

**关键词:** FPGA; 高速串行传输; RocketD; GTP

**中图分类号:** TP336

**文献标识码:** A

**文章编号:** 1671-654X(2008)02-0100-04

## 引言

在数字系统互连设计中,高速串行 I/O 技术取代传统的并行 I/O 技术成为当前发展的趋势。与传统并行 I/O 技术相比,串行方案提供了更大的带宽、更远的距离、更低的成本和更高的扩展能力,克服了并行 I/O 设计存在的缺陷。在实际设计应用中,采用现场可编程门阵列 (FPGA) 实现高速串行接口是一种性价比较高的技术途径。

Xilinx 的最新一代 FPGA 芯片 Virtex-5 LXT<sup>[1]</sup>, 是 Virtex 产品线的第五代产品,采用先进的 65nm 三栅极氧化层工艺、新型 ExpressFabric 技术和 ASMBL 架构。Virtex-5 LXT 分别针对高速逻辑、数字信号处理、嵌入式处理和串行连接等应用领域进行优化。与前一代 FPGA 相比, Virtex-5 在性能和密度方面取得了巨大进步:速度平均提高 30%,容量增加 65%,动态功耗降低 35%,静态功耗保持相同的低水平,占用面积减少 45%。

Virtex-5 LXT 芯片内置了最多 24 个 RocketD 收发器,支持从 100Mbps 到 3.75Gbps 串行数据传输速率,并支持目前流行的高速串行 I/O 接口标准。

本文从时钟、复位、电源控制、发送和接收逻辑等关键方面,论述了采用 Virtex-5 LXT 芯片内的 RocketD 实现高速串行传输接口设计。基于 Xilinx ML505 开发平台实现了高速串行数据传输系统,重点说明了 RocketD 特性和 1.25Gbps 高速串行传输的实现技术。

## 1 Virtex-5 LXT RocketD<sup>[2]</sup> 简介

Virtex-5 LXT 集成的 RocketD (简称 GTP) 收发器

具有以下特征:

- 最多 24 个 RocketD 收发器,支持从 100Mbps 到 3.75Gbps 串行数据传输速率,每对收发器的功耗小于 100mW;
- 可编程的发送预校正水平和接收均衡水平来适应信噪比苛刻的信道;
- 8B/10B 编解码,可编程的逗号检测,以便于实现基于 8B/10B 编码的各种协议;
- 可编程片上终端电阻,电压幅度和耦合方式;
- 支持各种标准,包括 PCI Express, Gigabit Ethernet, XAUI, SONET/SDH, CPRI 和 OBSAI 串行 RapidD, HD-SD 和光纤通道 FC;
- 独立集成的循环冗余校验 (CRC) 单元。

在 Virtex-5 LXT 平台下,原来的 GTP 被 GTP\_DUAL 所取代,每个 GTP\_DUAL 集成了 2 个 GTP。收发器许多重要功能如高速时钟、复位、电源控制和动态配置在一个 GTP\_DUAL 内共享,下面分别说明。

### 1.1 共享 PLL

每个 GTP\_DUAL 包含一个共享的 PLL,需要输入一个高质量的参考时钟产生多个高速串行时钟,用来驱动收发器的接收和发送电路。共享 PLL 的原理图如图 1 所示。

使用 GTP\_DUAL 时,首先应该设置 PLL 内部各个参数,产生共享 PLL 的输出时钟,该时钟可以用来产生合适的高速串行时钟以及相应的并行时钟。每路发送和接收都可以通过独立的分频电路进行配置。

### 1.2 时钟

为实现正确稳定可靠的高速操作,GTP 收发器需

收稿日期: 2008-01-24 修订日期: 2008-02-20

作者简介: 李大鹏 (1981-), 男, 陕西临潼人, 助理工程师, 硕士, 研究方向为计算机应用技术。

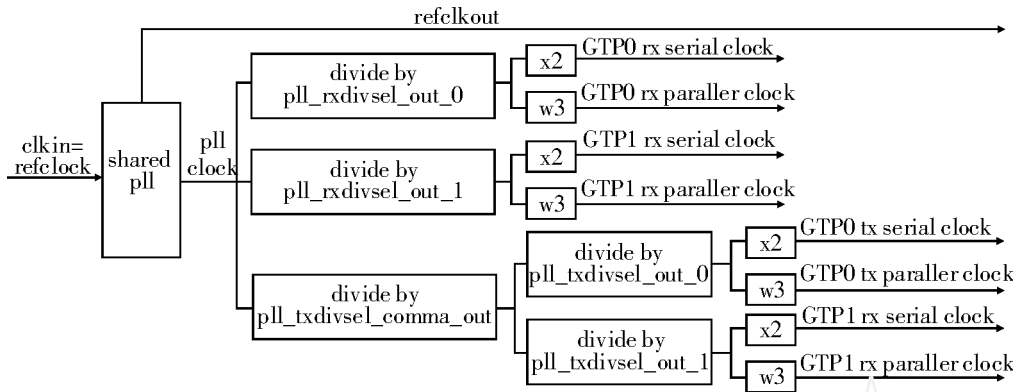


图 1 共享 PLL 框图

要一个高质量、低抖动的参考时钟。由于 GTP\_DUAL 内部共享 PLL,因此每路参考时钟驱动 2 个通道。参考时钟通过 GTP\_DUAL 的 CLKN 端口输入。可以采用 3 种不同的方式来驱动 CLKN 端口:

- a) 使用一个外部的时钟晶振;
- b) 通过精细的时钟布线,得到相邻的 GTP\_DUAL 的时钟;
- c) 使用 FPGA 内部时钟。

### 1.3 复位

GTP\_DUAL 在使用前必须复位,可以采用 3 种方式对 GTP\_DUAL 进行复位:

- a) 上电并且配置 FPGA;
- b) 驱动 GTPRESET 端口,产生 GTP\_DUAL 的一个异步复位;
- c) 驱动一个或者多个独立的复位信号,对 GTP\_DUAL 里面某一部分进行复位,如复位接收缓冲区、发送缓冲区等。

### 1.4 发送和接收功能

GTP\_DUAL 由物理媒体连接层 (PMA) 和物理编码层 (PCS) 两部分组成。

对于发送, PMA 包括发送时钟生成、发送预加载、并/串转化电路。PCS 包括极性控制、伪随机序列检测、相位调整缓冲区、8B/10B 编码、发送缓冲区。

对于接收, PMA 包括接收时钟产生和恢复、链路均衡、串/并转换电路。PCS 包括过采样、伪随机序列检测、接收极性、8B/10B 解码、接收弹性缓冲区。

对于接收到的数据,采用 CRC 进行错误检测。在 Virtex-5 下,每路 GTP 配备两个独立的 CRC 块。每个块可以实现 2 个独立的 32 位 CRC 校验,也可以实现一个 64 位 CRC 校验。

## 2 高速串行传输系统结构

在 Xilinx ML505<sup>[3]</sup> 开发板下构建了一个高速串行

传输系统,采用 GTP 实现数据之间的传输,传输速率为 1.25 Gbps,系统的框图如图 2 所示。

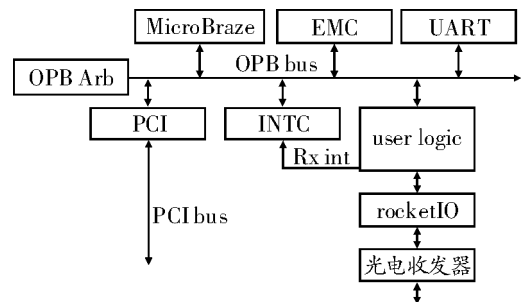


图 2 高速串行传输系统框图

高速串行传输系统由 MicroBrazee 处理器、EMC、UART、中断控制器 (INTC)、PCI 用户逻辑、GTP、光电收发器等几个部分构成。其中, EMC、UART、中断控制器 (INTC)、PC 使用 EDK 系统集成的总线接口直接挂在 OPB<sup>[4]</sup> 总线上。用户逻辑使用自己设计的总线接口与 OPB<sup>[4]</sup> 总线连接,并根据 GTP 的上接口特性,实现高速的发送和接收数据通路,并最终与高速差分信号和光电收发器连接,构成一个完整的高速串行通信传输系统。

系统发送数据过程为:

- a) 外部 PC 设备检测内部发送状态,如果有缓冲区,即通过 Opb 总线向内部发送缓冲区写数据,数据宽度为 32 位。同时在发送缓冲区最前面写入需要发送数据的个数,当发送数据准备好之后,将发送控制寄存器中表示允许发送位置为有效;
- b) 发送控制逻辑将一帧数据重新封装,添加帧头和帧尾,并转换成 GTP 需要的 16 位数据送出,同时设置 GTP 的一些标志位;
- c) GTP 将 16 位并行数据转换成为串行数据,通过光电转换器发送到光纤网络传输,传输速率为 1.25 Gbps。

系统接收数据过程为：

- a)从光纤网络接收的数据经过 GTP转换成 16位并行数据；
- b)接收控制逻辑对数据进行检测,如果检测到帧头,则开始接收数据,直到检测到帧尾,表示一帧数据结束,则停止接收。同时对接收数据个数进行计数；
- c)将接收到的 16位并行数据转换为 32位存放到接收缓冲区中,存入缓冲区的数据只包含有效数据,帧头和帧尾丢掉。缓冲区最前面存放接收到数据个数；
- d)每接收完一帧数据,发出接收中断；
- e)外部 PC设备从接收缓冲区读出数据。

整个用户逻辑主要围绕 GTP进行设计,在下一部分中,主要针对 GTP的应用进行描述。

### 3 采用 GTP设计高速串行传输系统

#### 3.1 参数配置

由于 GTP是 FPGA 内部提供的硬核,需要根据具体设计对其参数进行设置,由于参数较多,下面只将其中最主要的几个参数进行说明,其他参数的设置见参考文献 [2]。

a)在设计中,串行数据传输速率为 1.25Gbps,而外部晶振为 125Mhz,因此配置 PLL\_DIVSEL\_FB = 4, PLL\_DIVSEL\_REF = 1, PLL\_TXDIVSEL\_COMM\_OUT = 1, PLL\_TXDIVSEL\_OUT\_0[1] = 4, PLL\_RXDIVSEL\_OUT\_0[1] = 4;

b)重新封装的数据需要帧头、帧尾以及 DLE,需要添加这些参数值。在 GTP中设置测试数据的帧头、帧尾和 DLE;

c)设置 8B/10B 编解码、弹性缓冲区、CRC 校验等其他参数。

#### 3.2 时钟和复位

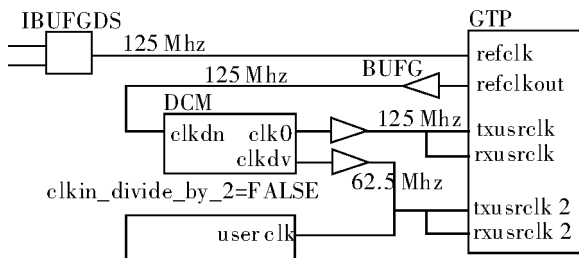


图 3 时钟分配

GTP参考时钟外接 125Mhz差分输入晶振,可以极大的降低时钟抖动。通过 GTP产生 125Mhz参考时钟输出,再经过 DCM,产生 125Mhz和 62.5Mhz时钟,提供给 GTP使用,用户逻辑采用 62.5Mhz时钟。

GTP复位管脚 GTPRESET连接系统复位。GTP

复位完成后,产生一个 TXLOCK标志,表示复位已经完成。用这个标志信号作为 DCM的复位端,在 GTP复位完成之前,DCM一直处于复位,不会产生相应的时钟,保证数据传输的稳定。

#### 3.3 发送控制逻辑

发送控制将发送缓冲区中存放的一帧数据转换为 GTP并行数据,通过 GTP转换为串行数据输出。在开始发送数据以前,需要发送 DLE数据,使 GTP收发器达到同步状态。当需要发送的一帧数据准备好之后,产生一个发送使能 tx\_start,启动数据开始发送,首先发送帧头,然后发送缓冲区中的一帧数据,在整帧数据发送完后发送一个帧尾,表示整帧数据传输结束。

发送控制状态机如图 4所示。

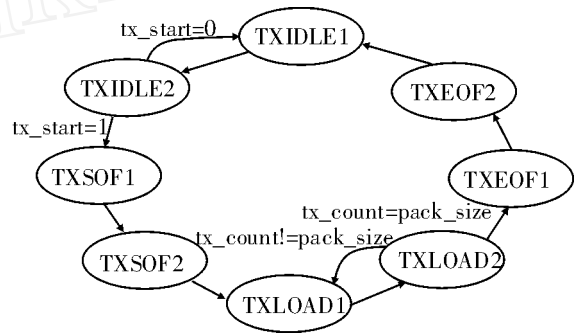


图 4 发送控制状态机

TXDLE1:发送空闲数据 DLE高 16位, K码标志为 10;

TXDLE2:发送空闲数据 DLE低 16位, K码标志为 00,如果允许开始发送,则转入 TXSOF1开始发送帧头,否则,转入 TXDLE1继续发送 DLE数据;

TXSOF1 :发送帧头数据高 16位, K码标志为 10;

TXSOF2 :发送帧头数据低 16位, K码标志为 00;

TXLOAD1 :发送缓冲区中数据的高 16位, K码标志为 00;

TXLOAD2 :发送缓冲区中数据的低 16位, K码标志为 00;如果缓冲中数据全部发送完成,则转入 TXEOF1开始发送帧尾,否则,则转入 TXLOAD1,继续发送数据;

TXEOF1 :发送帧尾数据高 16位, K码标志为 10;

TXEOF2 :发送帧尾数据低 16位, K码标志为 00。

#### 3.4 接收控制逻辑

高速串行数据经过 GTP转换为 16位并行数据,接收控制检测并行数据,如果发现帧头,则开始接收数据,并将接收到的数据拼成 32位依次放入接收缓冲区中,如果检测到帧尾,表示一帧结束,则停止接收数据,缓冲区中存放的数据只是数据负载,不含帧头和帧尾。每接收一帧,发出一次中断。

接收状态机如图5所示。

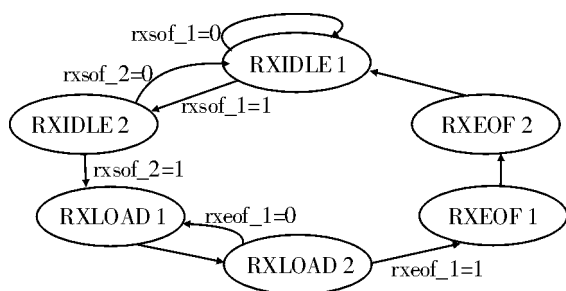


图5 接收控制状态机

**RXIDLE1**: 空闲状态。如果  $rxsof_1 = 1$  (DLE数据高16位, K码为10), 表示接收到帧头的高16位, 则转入RXIDLE2;

**RXIDLE2**: 空闲状态。如果  $rxsof_2 = 1$  (DLE数据低16位, K码为00), 表示接收到帧头的低16位, 则转入RXLOAD1, 否则, 回到状态RXIDLE1;

**RXLOAD1**: 接收数据的高16位;

**RXLOAD2**: 接收数据的低16位, 并将前后拼成32位, 依次放入接收缓冲区。如果  $rxeof_1 = 1$  (帧尾数据高16位, K码为10); 表示检测到帧尾, 则停止接收数据, 转入RXEOF1, 否则, 继续接收数据;

**RXEOF1**: 检测接收帧尾数据高16位;

**RXEOF2**: 检测接收帧尾数据低16位, 发出接收完成中断。

#### 4 仿真与验证

设计采用了OPB总线, 结合Modelsim6.1e, 在EDK环境下采用总线功能模型(BFM)对OPB总线进行

仿真, 采用ISE9.1进行综合、布局布线、生成bit文件。

将生成的bit文件下载到Xilinx ML505开发板中, 采用SDK软件开发平台进行调试、验证。实际测试结果表明: 采用Virtex-5设计的高速串行传输系统实现了高速串行传输, 传输速率达到1.25Gbps。

#### 5 结束语

当前业界最先进的FPGA芯片Xilinx Virtex-5 LXT集成的GTP在工艺、性能以及使用方法上与原来的FPGA有着很大差别。通过对Virtex-5 LXT内GTP的分析与研究, 基于Xilinx ML505开发板构建了一个高速串行传输系统, 采用GTP实现了两个设备之间的千兆高速传输。

本文的研究为在Virtex-5 LXT平台上应用GTP研制千兆高速传输接口产品提供了有效支持, 也为后续采用FPGA实现各种高速协议打下良好的基础。

#### 参考文献:

- [1] Xilinx Inc. Virtex-5 User Guide (UG190 (v3.1)). 2007, 11.
- [2] Xilinx Inc. Virtex-5 RocketD GTP Transceiver User Guide (UG196 (v1.4)). 2007, 12.
- [3] Xilinx Inc. ML505/ML506 Reference Design (UG349 (v2.1)). 2007, 7.
- [4] Xilinx Inc. On-Chip Peripheral Bus V2.0 with OPB Arbiter [EB]. 2005, 3.
- [5] 侯伯亨, 顾新. VHDL硬件描述语言与数字逻辑电路设计 [M]. 西安: 西安电子科技大学出版社, 1997.
- [6] 赵峥嵘, 兰巨龙. RocketD几个关键问题的解决方案 [J]. 电子技术应用, 2005, 12.

## Research and Implementation of High Speed Serial Transmission Interface Based on FPGA

LIDA-peng, CHEN Chang-sheng, WANG Shi-ku, LI Wen

(Aeronautical Computing Technique Research Institute, Xi'an 710068, China)

**Abstract:** The high-speed transceiver RocketD in Virtex-5 which is the newest generation FPGA device is firstly introduced in this paper. A high-speed serial data transmission system based on the ML505 Evaluation Platform is constructed. The design and implementation of 1.25Gbps high speed serial transmission with RocketD are emphasesly discussed. This research reaches the aim of realizing and verifying the feasibility of using FPGA to complete Giga serial transmission, and it settles a better foundation for implementing various high speed protocols with FPGA for further research.

**Key words:** FPGA; high speed serial transmission; RocketD; GTP