

# MPEG-4 系统中基于 FPGA 实现数据采集及预处理

Implementation of data acquisition and pretreatment base on FPGA in MPEG-4 system

(北京航空航天大学) 陈 朗 王 瑞

Chen, Lang Wang, Rui

**摘要:** 介绍了一种基于 DSP 的 MPEG-4 视频压缩系统中, 利用 FPGA 控制视频数据实时采集并对原始视频数据进行预处理的设计方案及实现, 解决了原始视频数据格式与 MPEG-4 压缩算法不兼容的问题, 从而提高视频压缩系统的整体性能。此设计充分利用 FPGA 的高速并行处理能力, 通过合理的调度, 以较少的存储资源实现数据处理与传输。

**关键词:** FPGA; 视频压缩; 预处理

中图分类号: TP392

文献标识码: A

文章编号: 1008-0570(2005)9-3-0109-03

**Abstract:** Present a scheme using FPGA to control data acquiring and pre-processing for a MPEG-4 video compressing system, resolves the problem that the original video data format differing from the require of the MPEG-4 algorithm, raises the system performance. This design takes advantage of the high speed parallel ability of FPGA, implements data processing and transmission with less memory.

**Key words:** FPGA, video compression, pretreatment.

## 1 引言

在基于 DSP 的 MPEG-4 视频压缩系统中, 视频采集芯片采集的原始视频数据格式与 MPEG-4 视频编码算法要求不一致, 例如图像大小、YUV 信号比、YUV 信号存储格式等。如果在 DSP 中用软件实现数据量大但算法简单的数据格式转换, 将大大加重 DSP 负担, 影响系统的整体性能。因此, 需要为 DSP 增加一个协处理器, 对原始数据进行预处理, 转换成算法需要的格式再交给 DSP。随着现场可编程逻辑器件(FPGA)速度与集成度的飞速提高, 使用 FPGA 解决问题也成为一个好的选择。本文中以 FPGA 作为 DSP 的协处理器, 实现视频数据的采集与预处理。

## 2 系统结构及工作原理

此设计以高性能、高集成度、高灵活性的 FPGA 为核心部件, 与 Video Decoder、SRAM、FIFO 等周边器件一起构成整个系统。该系统可实现视频数据的实时采集, 并根据外部的控制信息对采集的视频数据进行分辨率、色彩、存储格式等进行处理, 转换成视频压缩算

法所需的格式后, 输出给视频压缩系统。系统结构如图 1 所示, 主要包括 A/D 转换部分、数据缓存部分和核心控制部分, 下面分别对这三个部分进行介绍。

### 2.1 A/D 转换部分

A/D 转换部分即图 1 中的视频解码器 SAA-7113H, 作用是完成模拟视频信号到数字信号的转换, 产生复合的 YUV 数据流, 并送入采集系统的 FPGA 中。

A/D 转换部分所选用的视频解码器是 PHILIPS 公司的视频芯片 SAA7113H, 它不仅具有自动场频检测特性, 而且其场同步参考信号 VREF、行同步参考信号 HREF、奇偶场标志信号 RST0、像素时钟信号 LLC 均可从芯片的输出管脚直接得到, 从而简化了时钟锁相与同步功能模块的设计, 使整个系统的性能和稳定性均有所提高。

### 2.2 数据缓存部分

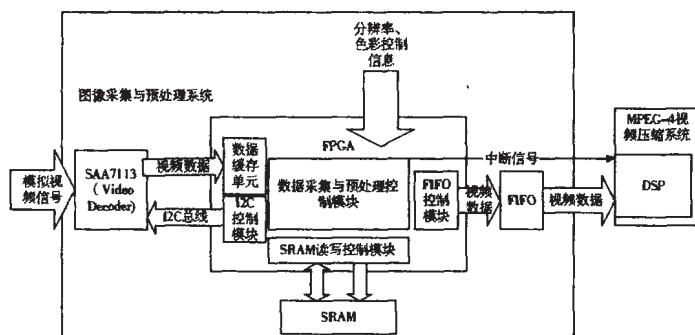


图 1

通常构成缓存的芯片有三种: 双口 RAM、FIFO、SRAM。双口 RAM 具有两套独立的数据、地址总线, 可从两个端口同时进行随机存取, 且接口实现简单, 具有很大的灵活性, 利于进行对数据进行处理, 缺点是双口 RAM 一般管脚数多, 芯片面积较大, 需要较大的 PCB 板布线空间, 而且价格比较昂贵; FIFO 也具有两个数据端口, 可一端进行写操作, 另一端进行读操作, 两个数据端口均只有数据线而无地址线, 简化了接口的实现, 而且有利于 PCB 板布线, 但是数据只能顺序写入、顺序读取, 显得不够灵活, 不利于对数据进行处理; SRAM 只有一套数据、地址和控制总线, 通常实现数据交换需由两片 SRAM 构成乒乓结构, 由数据采集部分和视频压缩系统分别访问一片 SRAM, 并且来回

陈朗: 硕士研究生

国家 863 计划基金资助, 编号: 2004AA783041

电话: 010-62132436, 62192616(T/F)

中国自控网: <http://www.autocontrol.cn>

切换,使数据采集与处理可以并行,这种方式比较灵活经济,但是接口控制电路比较复杂,而且也需要较大的PCB板布线空间。

综合考虑了性能、价格、实现方便性及PCB板面积要求后,选取SRAM和FIFO构成数据缓存部分,如图1所示。SRAM的作用是在FPGA在接收视频解码器采集的视频数据后进行格式变换处理时作为数据缓存, FIFO的作用是作为视频采集及预处理系统与视频压缩系统的数据传输缓冲通道。

SRAM选取的是IDT的IDT71V416,大小为256K×16BIT,可以存放720×576大小分辨率图像的一场数据。FIFO选取的是IDT的IDT72V2113,容量为512K Byte,数据位宽可为8位或16位。

### 2.3 核心控制部分

采集系统的核心控制部分即图中的FPGA。FPGA控制A/D转换部分进行数据采集,将采集到的有效图像数据进行预处理后传输给视频压缩系统。

核心控制部分所选用的FPGA为XILINX公司的SPARTAN II系列,它具有10万等效系统门,内部有40K bit的Block RAM资源,用户可用的I/O管脚有196个,系统时钟频率可达200MHz。

如图1所示,FPGA中实现了数据采集及预处理控制模块、数据缓存单元以及I2C控制模块、SRAM读写控制模块、FIFO控制模块。数据缓存单元是利用FPGA的内部Block RAM资源生成的小容量双口RAM,而I2C控制模块、SRAM读写控制模块和FIFO控制模块则是对外的接口控制模块,分别供数据采集及预处理控制模块访问Video Decoder、SRAM和FIFO时调用。数据采集及预处理控制模块则是实现数据采集与预处理的主控模块,下面将详细进行介绍。

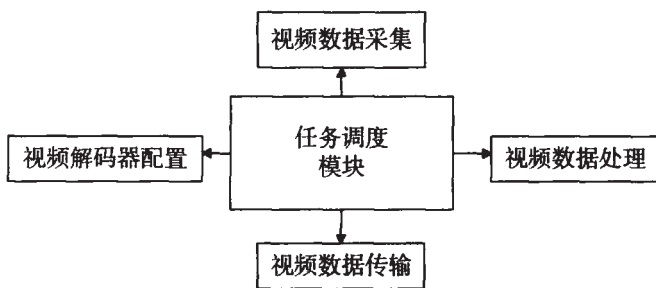


图2

#### 2.3.1 数据采集及预处理控制模块的逻辑框图

如图2所示,数据采集及预处理控制模块又可分为五个小的功能子模块,其中任务调度模块对其他几个子模块进行调度控制。

#### 2.3.2 视频解码器配置

在系统启动后任务调度模块首先调用这个模块对视频解码器SAA7113H进行初始化配置。视频解码器配置模块调用I2C控制模块,通过I2C总线给SAA7113H的控制寄存器赋值,实现对视频解码器的

工作模式、输出行场同步参考信号的时序关系等进行的设置。

#### 2.3.3 视频数据采集

SAA7113H的输入信号为PAL制电视信号,输出的视频数据为ITU 656标准的YUV 4:2:2格式数据,每帧图像有625行,每行864个像素,其中有效数据为720行,每行576个像素。在视频图像数据的采集过程中,最重要的就是对一帧图像有效数据开始和结束时刻的判断。

SAA7113H提供了相应的同步信号:奇偶场标识信号RTSO、场同步参考信号VREF、行同步参考信号HREF。RTSO信号的上升沿标识一帧新图像的起点,VREF信号为高电平时,输出为图像的有效行,HREF信号为高电平时,输出数据为行中的有效数据。这样,当VREF和HREF均为高电平时,视频数据采集模块接收一行有效视频数据,完成一行数据的采集。

为了能够实时对采集到的数据进行处理,在FPGA片内用Block RAM资源生成一个2K Byte大小的双口RAM作为数据缓存单元,视频数据采集模块将采集的一行数据存入数据缓存单元中,这样视频数据处理模块便可以通过数据缓存单元的另一个端口访问数据,实现数据采集与处理的并行操作。

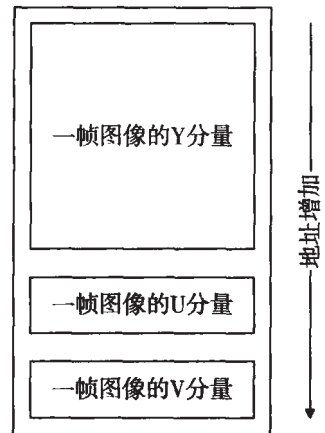


图3

#### 2.3.4 视频数据预处理

设计中采集到的视频数据格式为: 帧图像大小为720×576像素; YUV分量信号量化比为4:2:2; 输出为YUV复合码流,格式如表1所示。而MPEG-4视频压缩算法要求输入视频数据为: 帧图像可选择两种分辨率(720×576和352×288); 图像YUV分量信号量化比为4:1:1; Y信号与UV信号分开按帧组织存储,如图3所示(以720×576大小的图像为例)。

视频数据预处理模块的任务便是对采集的数据进行预处理,将其转换成为图像压缩系统所要的数据格式。

第一步进行图像大小变换,要求输出720×576大

小的图像时,这一步转换可以省略;要求输出 352×288 大小的图像时,由于采集的是隔行扫描的 PAL 制电视信号,一帧图像分为奇偶两场,而每一场均可看作是一幅 720×288 大小的图像,只要对其进行水平方向的采样即可获得 352×288 大小的图像。

第二步进行 YUV 分量信号量化比的转换,由于人眼对 UV 分量较不敏感,因此也可以对 UV 分量进行 2:1 的采样,实际实现时是在进行大小变换后直接丢弃偶数行的 UV 分量,对于 720×576 大小的图像来说即是丢弃偶场的 UV 分量。

第三步进行图像存储格式的变换,则是按照所需的格式进行地址换算,将数据从片内数据缓存单元中读取后按照换算后的地址存入 SRAM 中。

### 2.3.5 视频数据传输

前面图 2 中说明了 DSP 所需的图像格式是按帧组织的,如果完全按照这个格式进行传输,则需要先将一帧图像都缓存下来,这样一来需要较大的存储空间,二来也增加了时间的延迟。为此实际采用了下面的方法来解决这个问题。

表 1

| 行   | 数据             |                |                |                |     |                  |                  |                  |                  |  |
|-----|----------------|----------------|----------------|----------------|-----|------------------|------------------|------------------|------------------|--|
| 1   | U <sub>0</sub> | Y <sub>0</sub> | V <sub>0</sub> | Y <sub>1</sub> | ... | U <sub>718</sub> | Y <sub>718</sub> | V <sub>718</sub> | Y <sub>719</sub> |  |
| 3   | U <sub>0</sub> | Y <sub>0</sub> | V <sub>0</sub> | Y <sub>1</sub> | ... | U <sub>718</sub> | Y <sub>718</sub> | V <sub>718</sub> | Y <sub>719</sub> |  |
| ... | ...            |                |                |                |     |                  |                  |                  |                  |  |
| 575 | U <sub>0</sub> | Y <sub>0</sub> | V <sub>0</sub> | Y <sub>1</sub> | ... | U <sub>718</sub> | Y <sub>718</sub> | V <sub>718</sub> | Y <sub>719</sub> |  |
| 2   | U <sub>0</sub> | Y <sub>0</sub> | V <sub>0</sub> | Y <sub>1</sub> | ... | U <sub>718</sub> | Y <sub>718</sub> | V <sub>718</sub> | Y <sub>719</sub> |  |
| 4   | U <sub>0</sub> | Y <sub>0</sub> | V <sub>0</sub> | Y <sub>1</sub> | ... | U <sub>718</sub> | Y <sub>718</sub> | V <sub>718</sub> | Y <sub>719</sub> |  |
| ... | ...            |                |                |                |     |                  |                  |                  |                  |  |
| 576 | U <sub>0</sub> | Y <sub>0</sub> | V <sub>0</sub> | Y <sub>1</sub> | ... | U <sub>718</sub> | Y <sub>718</sub> | V <sub>718</sub> | Y <sub>719</sub> |  |

在 720×576 大图的情况下,在图像奇场期间,数据处理模块每将一行数据处理后存入 SRAM,数据传输模块随即将其中的 Y 分量数据读出送入 FIFO 中,这样奇场结束时,奇场的 UV 分量存储在 SRAM 中,而 Y 分量则已全部写入 FIFO,这时用中断通知图像压缩系统的 DSP 读取数据,通过二维 EDMA 方式可以将这些 Y 分量数据隔行地存放在图像压缩系统的帧存中。在偶场期间,数据处理模块在每行期间将 Y 分量数据写入 SRAM,可直接覆盖 SRAM 中奇场的 Y 分量数据,而不需额外的存储空间。数据传输模块则先传输完 UV 分量,中断一次 DSP 令其读取数据,接着再传输偶场的 Y 分量,完成后中断 DSP 利用二维 EDMA 方式读取,隔行存入帧存中与奇场的 Y 分量拼成一帧完整的图像。

在 352×288 小图的情况下就比较简单了,因为它是在奇场的基础上采样所得,因此不必进行两场 Y 分量的拼接,在奇场结束时便已将一帧的 Y 分量数据传送到 FIFO,在偶场时只需传输奇场经过采样处理后的 UV 分量数据。

### 2.3.6 任务调度

为了保证系统的实时性,一帧图像的处理与传输

必须在下一帧开始之前完成,而图像数据处理与传输时数据流量远大于数据采集时,而且由于数据处理和传输时都需要访问 SRAM,两者不能并行,只能分时执行。因此必须提高数据处理与传输的速度并且进行有效的调度。

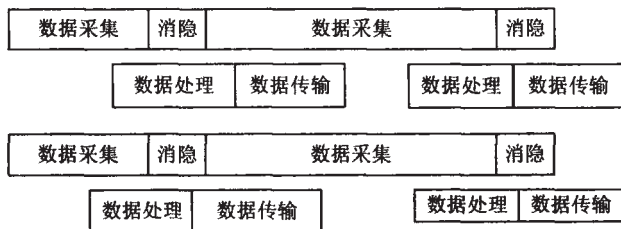


图 4

数据采集模块的工作时钟为 27MHz,数据操作以 8 位的字节为单位。为了提高数据处理与传输的速度,将 27MHz 时钟通过 FPGA 片内的 CLOCK DLL (时钟锁相环) 倍频后产生 54MHz 的时钟作为数据处理模块与数据传输模块的工作时间,并且以 16 位的字为单位进行数据操作,从而将数据处理与传输的速度提高到数据采集的 4 倍。

在 720×576 大图的情况下,各模块的调度如图 4 所示。视频原始图像的行周期为 64us,包括有效数据期间与消隐期间。如图所示,数据处理模块和数据传输模块在一行数据采集完之后执行一次操作。在奇场时,数据处理模块将一行的 YUV 分量数据共 1440 字节全部存入 SRAM,所需时间为  $\frac{1440\text{byte}}{2\text{byte/word}} \times \frac{1}{54\text{MHz}} = 13.3\mu\text{s}$ 。数据传输模块将这一行的 Y 分量共 720 字节写入 FIFO,所需时间为  $\frac{720\text{byte}}{2\text{byte/word}} \times \frac{1}{54\text{MHz}} = 6.7\mu\text{s}$ 。两者一共 20us < 64us,因此满足实时处理的要求;在偶场时,数据处理模块将一行的 Y 分量数据共 720 字节存入 SRAM,所需时间为  $\frac{720\text{byte}}{2\text{byte/word}} \times \frac{1}{54\text{MHz}} = 6.7\mu\text{s}$ ,而数据传输模块在偶场需要将奇场的 UV 分量和偶场的 Y 分量共 720×288+720×288=414720 字节数据写入 FIFO,每个行周期需传输 1440 个字节数据,需时  $\frac{1440\text{byte}}{2\text{byte/word}} \times \frac{1}{54\text{MHz}} = 13.3\mu\text{s}$ 。两者一共 20us < 64us,因此可以满足实时处理的要求。

在 352×288 小图时由于需要处理和传输的数据量小,因此也能满足实时的要求,在此不再详细介绍。

## 3 结论

FPGA 在现代电子系统中的应用越来越多,其强大而灵活的逻辑控制功能和内部先进的快速通道互连,使其以超小的端端延时而数据在传输方面非常优越。本文介绍的这一用 FPGA 实现某种 MPEG-4 编解码算法前数据预处理的实例,从方案的分析到设计,较详细地分析了系统实现的总体及细节。通(见第 21 页)

文件不存在, 则默认为该用户对所有命令都没有操作权限。每当用户重新进行权限设置后, 从根节点处扫描权限树, 将有权限的操作组装成字段写入文件。



图1 设置用户权限

当给用户设置权限时, 选择一个用户, 点击权限按钮, 出现如下对话框此时单击权限树上的复选框按钮, 复选框处于选中状态表示当前用户有权执行该操作, 若没有被选中则表示用户无权执行该操作。设置完权限后, 单击“应用”按钮, 程序将已经设置好的权限信息写入该用户的权限文件。

此外, 由于该系统所涉及的权限范围太多, 太广。超级用户在设置、修改管理员用户权限的时, 会显得十分繁琐, 而且容易出错。为此, 我们为每一类管理员用户设定缺省的模板, 这个模板记录了这类用户缺省的权限。当给一个管理员设置权限时, 可以先选择一个模板, 在这个模板基础上修改该用户的权限, 会带来很大的方便。

## 5 总结

本文根据国家 863 项目中的电信网络管理系统开发和实施过程中遇到的问题, 采用数字证书、数据驱动以及模板技术, 实现了复杂环境下的用户认证、授权工作, 同时使得系统的安全性大大加强, 开发维护成本却得到降低, 因此具有较好的使用和推广价值。

### 参考文献

[1]公钥基础设施(pki)实现和管理电子安全. 张玉清, 陈建奇 译, 清华大学出版社

[2]java 安全性编程指南, 庞南, 管和昌 等译. 电子工业出版社.

作者简介: 贺惠萍, 1978 年 12 月生, 女, 汉族, 河南郑州人, 硕士研究生, 主要研究方向为计算机软件, 现参与第三代移动通信 cdma2000 网管系统的开发。email: hhp@ndsc.com.cn, hbf8866@sohu.com; 翟好, 1977 年生, 男, 汉族, 河南信阳人, 硕士研究生, 主要方向是网络安全, 曾参与郑州交行网上银行的开发与设计。裘鸿

林, 1965 年生, 男, 汉族, 江苏盱眙人, 副教授, 硕士, 主要研究方向为计算机网络, 曾主持开发 HJD04 程控交换机操作维护与网管系统。

(450002 河南郑州解放军信息工程大学 国家数字交换系统工程技术研究中心) 贺惠萍 裘鸿林

(450008 河南郑州 河南省郑州市郑花路 11 号交通银行郑州分行) 翟好

(National Digital Switching System Engineering & Technological R&D Center, PLA Information Engineering University, Zhengzhou Henan 450002, China) He, Huiping Qiu, Honglin

(Zheng Hua Route No.11, The Zheng Zhou Bridge of Communication Bank Zhengzhou Henan 450008, China) Zhai, Hao

联系方式:

(450002 郑州河南省郑州市 1001 信箱国家数字交换系统工程技术研究中心) 贺惠萍

(投稿日期:2005.3.8) (修稿日期:2005.3.15)

(接第 111 页) 过下载验证, 结果表明该设计是正确有效的, 并已应用于工程项目中。

### 参考文献:

[1]Ricardo Zebulum, Adrian Stoica, Didier Keymeulen. Experiments on the Evolution of Digital to Analog Converters. IEEE, 2001; 5: 2321-2331

[2]Philips SAA7113H Datasheet. Philips Corporation. 1999

作者简介: 陈朗, 男, 1980 年 7 月出生, 北京航空航天大学计算机学院硕士研究生, 主要从事数字图像压缩方向研究。E-mail: snowskys@163.com.

(100083 北京航空航天大学计算机学院) 陈朗 王瑞  
通讯地址: (100083 北京航空航天大学计算机学院数字媒体室) 陈朗

(投稿日期:2005.3.5) (修稿日期:2005.3.15)

(接第 86 页)

### 参考文献

[1]Postel J, "User Datagram Protocol", RFC768, 28 August 1980

作者简介: 姜艳红, 女, 1978 年生, 山东莱阳人, 硕士研究生, 研究方向为路由器软件体系结构; email: joyjyh@163.com; 魏进武, 男, 1978 年生, 甘肃庆阳人, 博士生, 研究方向为下一代网络体系结构及网络流量分析; 周丽, 女, 1981 年生, 江苏南通人, 硕士研究生, 研究方向为路由器软件体系结构。

(450002 郑州解放军信息工程大学信息工程学院) 姜艳红 魏进武 周丽

(PLA Information Engineering University Information Engineering Institute, Zhengzhou 450002) Jiang, Yanhong Wei, Jinwu Zhou, Li

通信地址: (450002 河南省郑州市 1001 信箱信息技术研究所研究生队) 姜艳红

(投稿日期:2005.3.18) (修稿日期:2005.3.29)