

基于 IP 核的电力系统监控装置 SOC 设计

彭洲红 陈莉莉 虞致国 徐健健

(南京大学物理学系 南京 210093)

摘要 介绍了一种基于 IP 核的电力系统监控装置,详细描述了该装置的 IP 核模块,并设计了基于 FPGA 的硬件仿真平台,验证了系统功能的正确性。提出了在硬件设计和 IP 核开发中所运用的关键技术。

关键词 IP 片上系统 FPGA 电力系统监控

Design of Power Monitoring Unit SOC Based on IP Cores

Peng Zhouhong Chen Lili Yu Zhiguo Xu Jianjian

(Department of Physics, Nanjing University, Nanjing 210093, China)

Abstract It presents the design of power system monitoring unit based on Intellectual Property cores. The Intellectual Property cores are described in detail and an hardware simulation system based on FPGA is designed and the system functions are verified. Some key techniques used in the development of hardware and Intellectual Property cores are put forward.

Key words IP System on chip FPGA Power system monitoring

1 引 言

电力系统运行参数的监测在电力系统的生产和自动化控制中是一个非常重要的内容。随着集成电路的设计技术和深亚微米制造技术的迅速发展,集成电路已进入片上系统时代,且由数字 SOC (System On Chip) 全面转向数字和模拟混合信号 SOC。本系统设计是将电力系统监控装置所需的信号采集、转换、存储、处理和 I/O 等各个部分功能尽可能下载于同一芯片中,实现片上系统,从而大大缩小其体积;同时简化了 PCB 系统设计和提高了整个监控装置的抗干扰能力。

2 系统结构

整个监控系统是一个实时数据处理系统。它用来实时监测保护对象的电流、电压、频率等参数,一旦设备出现故障,可根据预定的保护算法自动给出触发信号,保证电力系统的安全可靠运行。本系统功能设计的验证是在总结前人工作的基础上,采用以现场可编程门阵列 (FPGA) 构成的数据采集处理和高性能工业控

制机为硬件核心,并以 NI 公司的图形化编程语言 Labview 作为平台的计算机监控系统。本装置硬件结构原理图如图 1 所示。

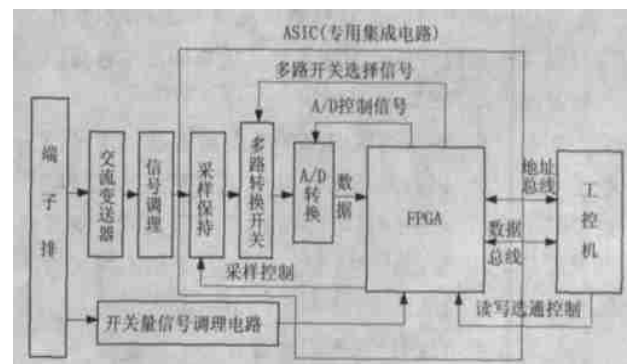


图 1 硬件结构原理图

3 IP 核的设计

IP (intellectual Property) 内核模块是一种预先设计好的甚至已经过验证的具有某种确定功能的集成电路、器件或部件。基于 IP 模块的片上系统设计方法采用了 IP 模块而不是基本逻辑或电路单元作为基础单

元,是以功能组装代替功能设计。IP 模块的设计在实现具体的功能的同时还要考虑设计的可重用性、可测性以及测试的可重用性。电力系统监控装置从功能上主要包括数据采集、数据处理、通信模块和人机界面等主要内容。正确合理划分各模块功能、规范各模块之间的接口定义,设计出一系列通用的 IP 核是本装置片上系统设计的关键。IP 技术是一项高新技术,是 FPGA 设计的发展方向,也是实现片上系统的基础。FPGA 是 20 世纪 90 年代发展起来的大规模可编程逻辑器件,随着 EDA (电子设计自动化)技术和微电子技术的进步,FPGA 的时钟延迟可达到 ns 级,结合其并行工作方式,在超高速、实时测控方面有非常广阔的应用前景;而且 FPGA 器件的特点是可用硬件描述语言对其进行灵活编程,根据 FPGA 厂商提供的软件可仿真硬件的功能,使硬件设计如同软件设计一样灵活方便。利用测试与调试结构(JTAG)接口可对其进行 in-circuit reconfiguration)编程,提高了系统的灵活性。

3.1 数据采集

本电力系统监控装置数据采集是基于 FPGA 技术的模拟量和开关量采集,利用 FPGA 的 I/O 端口多,且可以自由编程支配,定义其功能的特点,配以 Verilog 编写的 FPGA 内部执行软件,能很好地解决了电力系统监控装置需采集的信号路数多的问题。用 Verilog 编写的执行软件内部对各组数字量是按并行处理的,而且 FPGA 硬件的速度是 ns 级的,这是当前任何 MCU 都难以达到的速度,因此本监控装置更能实时地、快速地监测信号量的变化。

数据采集模块完成数据采集控制和数据的存储,该模块模/数转换器采用 AD 1674,转换结果为 12 位,最大转换速度仅为 10 μ s。装置通过 B0 控制对输入的交流电压、电流进行采样,采样周期为 312.5 μ s,即一个周期采样 64 点。三相电压和三相电流经 6 片采样保持器 LF 398 后,通过 4051 的多路开关后输入到 AD 1674 芯片的。交流信号在进入 AD 1674 之前要经过信号调量电路,调理成 AD 1674 认可的模拟信号。A、B、C 作为 8 路通道选择地址,确定转换信号通道;STS 为状态结束标志,高电平转为低电平时 AD 1674 转换结束;AD 1674 的控制线 CE, \overline{CS} , R/ \overline{C} 完成器件的启动,寻址和数据读出操作;控制线 12/ $\overline{8}$, A0 决定 AD 1674 芯片转换周期和数据输出格式。

AD 控制单元功能为:产生 AD 1674 的工作时序,控制 AD 1674 完成 A/D 转换;读入 AD 的转换结果并进行存储。A/D 转换控制时序如图 2 所示。

3.2 数据处理

电力信号包含有各种谐波分量,组成很复杂,谐波提取的目的在于将之分为代表一般特征的基波和表征个性的各次谐波。本装置采用数字信号处理方法中的快速傅立叶变换算法(FFT),将采集的电压、电流中的干扰化为高次谐波处理,避免因模拟滤波电路参数不匹配带来的误差,从而极大地提高了测量精度。利用输入信号基波电压、电流复数振幅的实部和虚部可以求得交流电压 U、交流电流 I 有功功率 P 和无功功率 Q 的有效值。

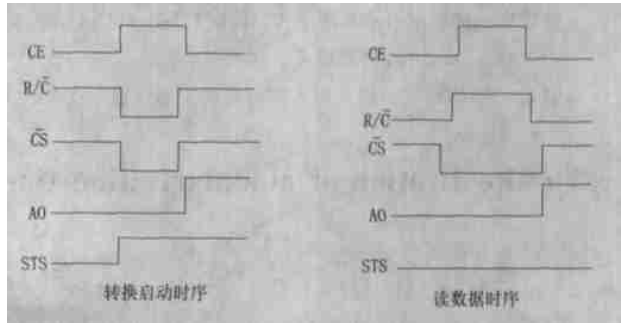


图 2 A/D 转换控制时序

FFT 实现框图如图 3 所示。在图 4 中,运算模块即为基 4 运算模块,ROM 表中存储的是 64 点旋转因子表。控制模块产生所有的控制信号,存储器 1 和 2 的读写地址、写使能、运算模块的启动信号及因子表的读地址等信号。存储器 1 作为当前输入标志对应输入 64 点数据的缓冲器,存储器 2 作为中间结果存储器,用于存储运算模块计算出的结果。外部输入为 64 点数据段流和启动信号(64 点之间如无间隔,则每 64 数据点输入一脉冲信号)。一方面,外部数据存入存储器 1 中,同时通过控制模块的控制,读出存储器 1 中的前段 64 点数据和 ROM 表中的因子及相关控制信号送入运算核心模块进行运算,运算输出都存入存储器 2 中,并在下一个启动到来后,输出计算结果。

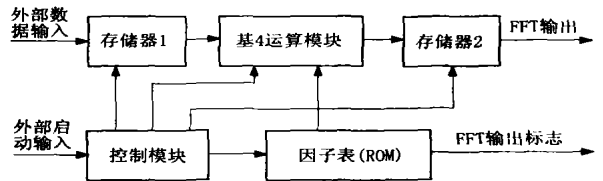


图 3 FFT 实现框图

3.3 数据通信

笔者采用 Xilinx 公司提供的精简 32 位 PCI 接口宏核逻辑与工业控制机进行通信。PCI 总线是高速同步总线,具有 32bit 总线宽度,工作频率是 33MHz,最

(下转第 248 页)

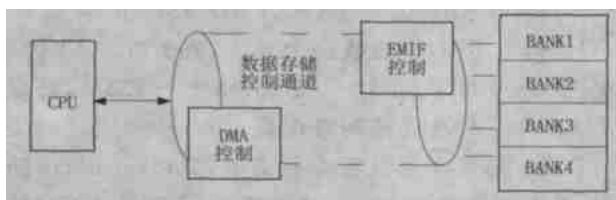


图4 DSP数据的搬移

TMS 320C6201, 波束形成算法在 EVM 板上仿真时设定数据通道数(即天线单元数)为 4 个, 数据精度为 8 位。完成 1 次数据算法处理需要 96 个时钟周期, 时钟频率设定为 200MHz 时, 耗时为 $0.48\mu\text{s}$, 可以满足采样率为 2M 情况下的数据的实时处理要求。

5 结 论

在研究时域波束形成算法的基础上, 提出嵌入式波束形成器的构想, 并在 TI 公司 TMS 320 C 6201

EVM 板上对 4 个天线单元进行了仿真, 取得了较好的结果。嵌入式波束形成器硬件模块中 5 片 DSP 算法处理数据的流程基本一致, 由嵌入式波束形成器算法的 EVM 仿真结果可知, 本嵌入式波束形成器可以满足单路天线单元采样率不大于 2M 条件下实时波束形成的要求。

参考文献

- 1 Essex J. Bond, Xu Li, Susan C. Hagness, Barry D. Van Veen. Microwave imaging via space-time beamforming for early detection of breast cancer. IEEE Transactions on Antennas and Propagation, 2003, 51 (8).
- 2 TMS 320C6201 digital signal processor data sheet. Texas Instruments.
- 3 TMS 320C6000 EMIF to external SDRAM/SGRAM interface. Application Report, SPRA 433A.

(上接第 245 页)

大传输率为 132Mbyte /s, 远远大于 ISA 总线 5Mbyte /s 的速率。

4 结 语

使用基于 IP 模块的设计方法简化了系统的设计, 缩短了设计时间。本电力系统监控装置基于 IP 模块, 采用 FPGA 技术实现了对电力系统电气参量的实时高精度测量, 结构简单可靠, 简化了 PCB 系统设计和提高了系统的抗干扰能力, 同时本装置兼具各种继电

器控制功能。随着 EDA 工具自动化的程度的不断提高以及设计手段的不断更新和完善, 使得基于 IP 模块的片上系统设计方法更为快捷和有效, 在系统设计中迸发出更强的活力。

参考文献

- 1 张镇, 魏同立. 基于 IP 模块的片上系统设计. 电子器件, 2002, 25 (6): 128 ~ 132.
- 2 袁俊泉, 孙敏琪, 曹瑞编著. Verilog HDL 与数字系统设计与应用