

技术报告

MPEG 码流分析仪的软硬件实现

惠新标,董永强,戚丹青

(上海市广播科学研究所,上海 200041)

摘要:本文提出了 MPEG 码流分析仪的系统实现方案及软硬件实现方法。文中采用了计算机软件与硬件插卡相结合的方案,整个系统由码流分析硬件、PCI 接口、驱动程序、支持软件及应用软件组成。硬件采用 FPGA 用 VHDL 进行描述,软件开发采用分层的模块方法。采用 VHDL 设计的 PCI 接口硬件与码流截取硬件用一片 FPGA 实现,使硬件大为简化并增加了灵活性。所设计的驱动程序与软、硬件紧密结合,提高了系统的性能。可扩展的支持软件与应用软件增强了系统的功能。

关键词:MPEG;码流分析仪;DVB

中图分类号:TN919.8 **文献标识码:**B **文章编号:**1000-436X(2001)10-0057-06

Implementation of MPEG stream analyzer

HUI Xin-biao, DONG Yong-qiang, QI Dan-qing

(Shanghai Broadcasting Laboratory, Shanghai 200041, China)

Abstract: A system scheme, hardware and software implementation of MPEG stream analyzer is present in this paper. PC card and related software divided into following modules are developed: stream analyzing hardware, PCI interface, device driver, supporting software and application software. Hardware is described in VHDL, and implemented with FPGA. Software modules are organized into hierarchical structure. Thanks to closely cooperating of software and hardware, the system is flexible and extensible, and performance is enhanced.

Key words: MPEG; stream analyzer; DVB

1 概述

随着 MPEG-2 标准^[1~3]的制定,国内外数字音视频和 MPEG 的开发应用正进入迅速发展的阶段。就国内而言,目前已开通各省市的数字卫星电视节目,有些省市已经试验 DVB-C 数字有线电视节目,地面数字电视广播也正在紧锣密鼓地准备;相应的消费电子类的产品,如 VCD、SVCD、DVD 及 IRD 等都受到了有关厂家的重视;另外, MPEG 在计算机和多媒体领域的应用也发展较快。

在 MPEG-2 码流的编码及使用过程中,需要知道生成的码流或得到的码流是否符合相应的标准,有时还要分析码流的编码性能及传输的性能。生成或接收到的码流很难读懂,也无法象模拟电视信号一样直接观看,因此需要有能够对 MPEG 码流进行分析的仪器。国外的几个主要测试仪器和广播设备生产商已有这方面的设备,但国内尚无这方面的设备,本文研究的目的是研制出性能良好的码流分析仪。

收稿日期:2000-09-15;修订日期:2001-08-01

作者简介:惠新标(1971-),男,江苏人,博士,研究方向:图像通信;董永强(1974-),男,江苏人,学士,研究方向:信号处理;戚丹青(1977-),男,江苏人,学士,研究方向:数字电视。

本文设计实现的码流分析仪主要是按 MPEG 标准及欧洲 DVB 的标准^[4,5]对输入码流进行分析,采用 DVB 标准中 ASI 及 SPI 输入接口,可对输入的码流进行实时分析监视,对 ESTI ETR290 中所规定的三层错误及其它 MPEG TS、PES、ES 中的多种错误进行分析记录,进行多种方式的码流记录以及对记录的码流进行详细分析,可以用于数字电视系统的调试、监测,数字视频传输网络的监测和分析,编码器、解码器、复用器及调制器的调试和性能分析等。

2 系统方案

本文设计的码流分析系统除几个接口芯片采用全定制集成电路(ASIC)外,其它全部软、硬件都自行设计实现。码流分析仪主要实现方法有两种:一是全部分析都采用硬件完成,然后将统计结果或缓存的数据通过通用通信口(如并行口、串行口、USB 等)传给计算机显示。这种方式可以做到与计算机之间基本独立,主要分析功能不受计算机性能的影响。另一种方法是采用计算机卡,这种方法与计算机紧密相关,可以充分利用软、硬件各自的优势。好处是灵活性大,开发阶段可以根据情况调整软、硬件的分工,而且可以根据发展的需要增加功能。这里采用后一种方式进行开发,整个系统采用一个分层的结构,如图 1。

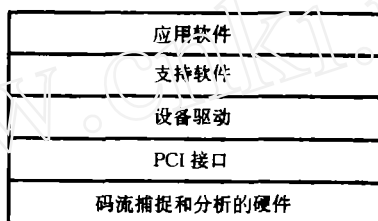


图 1 系统结构

图 1 中下面的两层由硬件实现。码流捕捉与分析部分的截取、控制与分析由 FPGA 实现,外部接口采用 ASIC 进行数据转换。计算机硬件接口的数据速率较高,这里采用 PCI 计算机接口^[6]。PCI 速度快、灵活性大、功能更强。缺点是实现比较复杂。PCI 接口有相应的 ASIC,但这样的 ASIC 灵活性较小,而且与它的接口也较复杂,还需要一些外围芯片。本文的设计中 PCI 接口部分也采用 FPGA 自行设计。虽然上述两部分用 FPGA 设计难度较大,但是这样做可以简化硬件的结构和布局,使得系统更加紧凑,另一方面还可以为以后做这方面的集成电路做好准备。本文设计采用了 Xilinx 公司的一片包含三十多万个逻辑门的 FPGA——XCV300PQ240-5 完成码流捕捉分析与 PCI 接口。

图 1 中上面的三层由软件实现。其中驱动程序主要完成与硬件控制及操作系统相关的工作,如硬件的初始化和硬件配置、修改硬件寄存器、获取硬件状态、完成命令的传输、传送数据、响应中断等。支持软件的主要作用是联系应用软件和驱动程序,从而屏蔽硬件细节,为应用软件提供数据、进行分析进程管理、提供访问硬件的接口函数及进行数据的整理等。应用软件完成用户输入的处理,并按用户的要求通过支持软件控制硬件操作取得数据并进行分析、统计、显示等。目前的软件是在 Windows NT 操作系统上开发的。

3 硬件设计与实现

硬件主要模块有:输入模块,时钟恢复和记录模块,输入分析与处理模块,缓存及控制模块,输出处理模块,输出模块,计算机接口模块,硬件控制模块等,如图 2 所示。

输入模块完成输入信号格式的转换。输入主要有两种格式:DVB SPI 格式和 DVB ASI 格

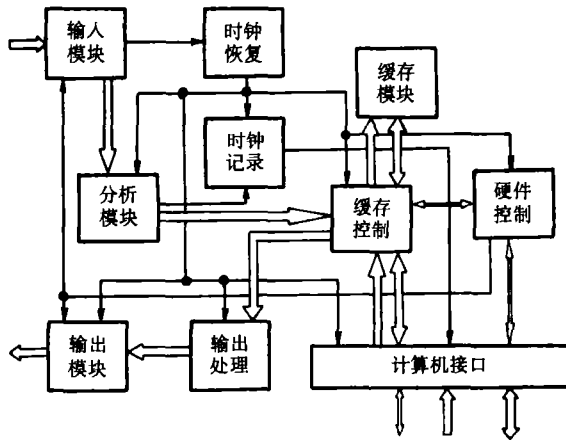


图 2 硬件模块框图

式。SPI 接口是并行接口,采用 LVDS 电平,接口转换电路将 SPI 信号转换成 TTL 电平的信号。ASI 接口是串行 270Mbit/s 的信号,接口电路完成比特时钟恢复,串并转换及 10bit/s/8bit/s 转换,将其转换成并行信号。

时钟恢复和记录模块负责监视和记录 PCR 时钟值。PCR 是 MPEG 码流中系统时钟基准,它的精确度与抖动对数字视频系统的影响较大,因此对它的分析必须准确,这就要求对它的记录也要即时、准确。这里采用图 3 的电路对 PCR 进行实时的检测并记录。

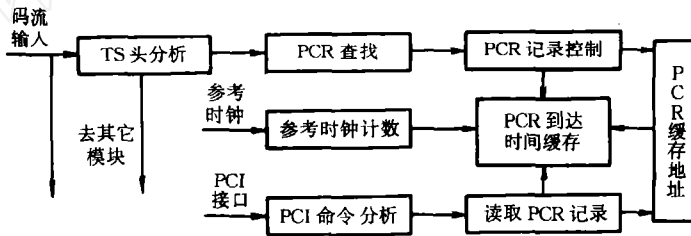


图 3 PCR 记录电路结构

输入分析与处理模块接收从输入模块进来的数据,根据其中控制信号对码流进行分析,并向输入缓冲器写入数据;同时负责检查缓冲器的充满程度,给出相应的指示信号。再根据 PCI 接口的命令将输入码流数据从缓冲器经 PCI 接口传给计算机。

缓存及控制模块主要用作输入输出数据的暂存。为简化电路,缓存器采用 FPGA 内部的块 RAM 实现。缓存器及控制模块的结构如图 4。

计算机接口模块完成 PCI 接口的功能,实现计算机与板卡间的数据和控制命令的传送。本文设计的 PCI 接口采用 PCISIG 所制定的标准,使用的标准版本为 2.2。在本文的设计中,采用的 PCI 接口时钟为 33MHz,数据线宽为 32bit,最高传输速率为每秒 132M 字节,这一速度已足够码流分析的要求。PCI 总线的工作方式有主从两种,其中从方式的控制和协议较为简单,这种方式的命令全部由计算机发出,板卡响应命令并根据协议完成数据传输。但是从计算机向板卡中读数据时,操作系统不允许进行大量的连续操作,引起大量的附加操作,使得数据传输速度变得很慢。因此,本文设计了可工作于主、从两种方式的 PCI 总线:一般数据量小的数据传输由计算机发出命令,PCI 接口以从方式响应;而数据量大的传输由板卡发出命令以主方式进行数据传输。PCI 接口的电路结构如图 5。

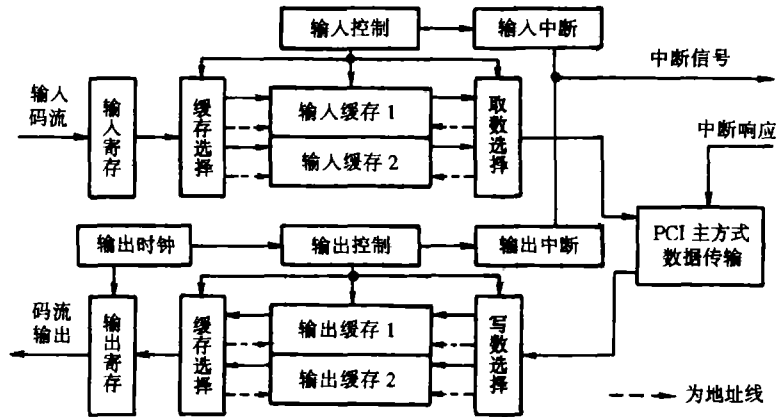


图4 缓冲及控制电路结构

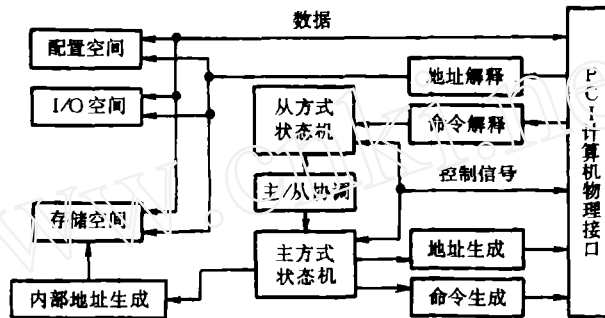


图5 PCI接口模块电路结构

硬件控制模块主要完成硬件电路的选择、设置等。如根据系统的要求在多路输入中选取所需输入信号,根据软件的要求打开功能、关闭功能等。

4 软件结构与设计

软件的开发工作量较大,功能较多、较复杂。本文采用了较为独立的三个软件层次,这种层次方法有一定的必要性和灵活性。其中驱动程序是操作系统管理硬件所必须的,其它软件对硬件的操作必须经过驱动程序。支持软件与应用软件的分离可以屏蔽低层的细节,并具有更大的灵活性,如在实时性能要求更高时,可适当将其中的部分由计算机完成的软件改由硬件实现,而只要保持支持软件对上层软件的接口不变,上层软件就不需要作太大修改。软件中各层的模块结构如图6所示。

驱动程序是按照NT操作系统的设备驱动程序的要求进行编写的。它与操作系统相配合完成硬件的初始化、设备的建立、中断和输入输出等各种资源的分配,使得硬件成为操作系统可以访问的设备,并使支持程序和应用程序可见。此外,它还完成与分析本身相关的许多功能,这方面的主要功能在图6中已有说明。在实际运行时,驱动程序一方面接收从上层软件发出的命令对硬件作配置修改、状态读取;另一方面响应硬件发出的中断,通知支持软件准备数据,并在支持软件数据准备好后缓存到硬件可以访问的内存块中。运行过程可参见图7。

支持软件的主要功能可参见图6。支持软件提供上层软件控制和访问硬件设备的接口的机制是对驱动程序所建立的设备进行访问,并屏蔽硬件资源的具体细节(如寄存器地址等)。设备产生中断后,首先响应中断的是驱动程序,但驱动程序运行在优先级较高的系统层,不适合

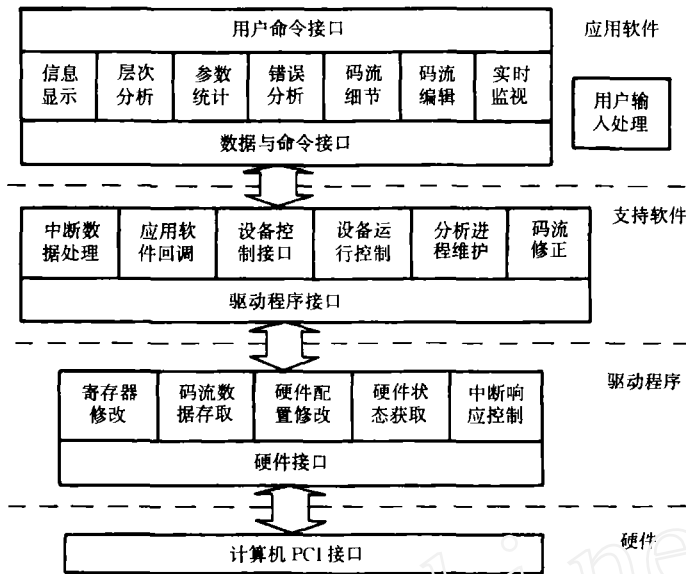


图 6 软件模块结构

进行大量的运算,因此本文设计驱动程序响应中断后通知支持软件,由优先级较低的支持软件负责数据的处理等较多的运算。在支持软件响应应用软件的操作命令方面,对于一般的操作,支持软件调用设备一次就完成了处理,但对于码流分析和码流发生操作,设备将处于连续运行的状态,一次操作不可能达到要求。本文在支持软件收到上述要求时,由支持软件生成一个监视进程,负责维护设备的连续运行,并在收到驱动程序的中断响应通知后,调用应用程序的回调函数,完成数据的处理。在收到应用程序发出的分析或发生操作完成的命令后由支持软件发出进程结束的信号,监视进程收到信号后自动结束。支持软件的运行机制可参见图 7。

应用软件在操作系统的辅助下处理用户输入,翻译成相应的命令,对命令解释后通过支持软件控制硬件的工作并获取数据。在得到码流数据后根据相关的标准对其进行分析、统计,按用户要求显示码流的结构、PCR 的抖动、节目的信息、码流参数的解释等。

软件部分的工作比较复杂,各层次相互之间的联系较多,图 7 给出软件系统的基本工作流程

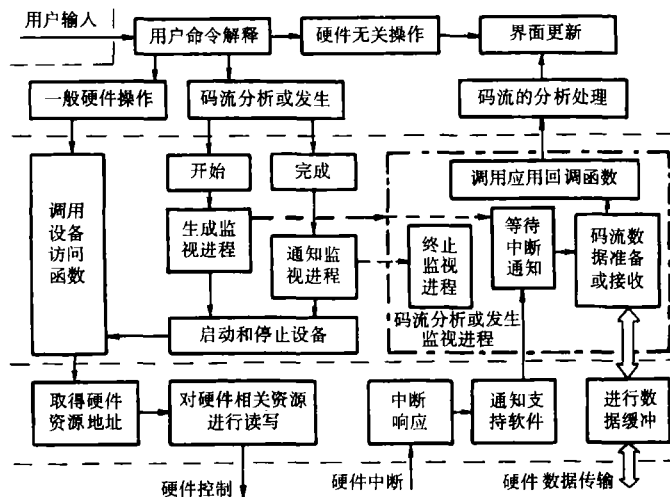


图 7 软件系统基本工作流程

程,以便更为直观地解释软件的主要工作机制和相互关系。

5 结论

研制的 MPEG 码流分析仪于 2000 年 5 月在国家广播电影电视总局进行了检测^[7]。检测结果表明本项目研制的分析仪能够对 MPEG 和 DVB 传输码流进行正确的实时分析和静态分析,能够分析的输入码流最大速率:ASI 接口达 105Mbit/s,SPI 接口达 160Mbit/s。与国外同类产品进行的比对测试表明其性能与国外同类产品相当。

参考文献:

- [1] ISO/IEC 13818 - 1. Coding of Moving Pictures and Associated Audio-Part1; Systems[S]. 1996.
- [2] ISO/IEC 13818 - 2. Coding of Moving Pictures and Associated Audio-Part2; Video[S]. 1996.
- [3] ISO/IEC 13818 - 3. Coding of Moving Pictures and Associated Audio-Part3; Audio[S]. 1996.
- [4] ETSI ETR 290, Digital Video Broadcasting(DVB). Measurement Guidelines for DVB Systems[S]. 1997.
- [5] ETSI ETS 300 468, Digital Video Broadcasting(DVB). Specification for Service Information(SI)in DVB Systems[S]. 1998.
- [6] PCISIG. PCI Local Bus Specification, Revision 2.2[S]. 1998.
- [7] 国家广播电影电视总局卫星广播电视系统设备检测实验室。MPEG 码流分析仪检测报告[R]. 2000, 5.

www.cnki.net