

用 FPGA 实现 DVB 标准中的卷积交织

刘 静

(信息产业部电子第 54 研究所)

摘要 卷积编码是数字传送前向纠错编码中用来解决突发性干扰的有效手段。本文介绍了用 FPGA(现场可编程门阵列)器件实现卷积交织编码器,分析了其基本原理和实现过程。

关键词 DVB 卷积交织 FPGA

在数字视频的传送中,信道不但存在随机性干扰,还存在突发性干扰,这种干扰的特点是干扰的分布规律有很强的相关性,严重时会造成成片的数据错误。由于错误集中在一起可能超出 RS 编码的纠错范围,因此在 RS 编码后加上卷积交织,使数据按一定规律分散发送,接收端加上去卷积交织恢复成原来的数据顺序,这样使信道中的突发性错误分散开来。采用卷积交织,系统的纠错能力可提高几个数量级。

1 卷积交织实现的工作过程

卷积交织的数据按行写入移位寄存,而按列读出,每次写入和读出都是 1 个字节,写入和读出在时间上是同步的。

现举一个简单的例子说明卷积交织的工作过程,如图 1 所示。图中,

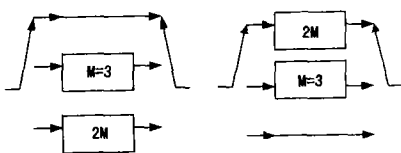


图 1 卷积交织图 图 2 去卷积交织图

第 1 行直通,第 2 行有 M 个存储器,第 3 行有 $2M$ 个存储器,输入和输出的每个字节由同步开关逐行交替切换。在这里假设 $M=3$,这样第 2 行延时 3 个字节,第 3 行延时 6 个字节。去交织的过程与此相反,如图 2 所示。

如下再给出卷积交织器工作时的数据结构图,见图 3。图左边可以看出,输入顺序是 0 1 2 3 4 5 6 7 8 ... ,卷积交织后输出顺序是 0 * * 3 * * 6 * * & 1 * & 4 * & 7 * & 2 & & 5 & & 8 & & ... ,这样就

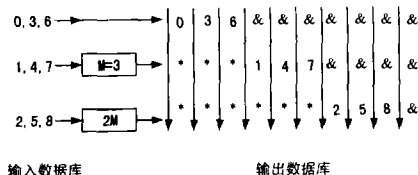


图 3 卷积交织器输入输出数据结构

来顺序发送的数据分散发送。从数据结构图的右边可以看出,输出数据顺序用实竖线表示,输入数据顺序对应输出数据结构图则为对角线方向。

2 FPGA 简介

FPGA 是二十世纪八十年代中期出现的高密度可编程逻辑器件(PLD)。它具有小型化、低功耗、多功能、数字化、标准化、系列化、集成度高、保密性好等优点,并可以无限次反复编程,还可现场模拟调试验证。这里使用了 Xilinx 公司的 FPGA,它是一种规则的用户可编程的阵列结构。三种可构造的单元是输入输出模块(I/OB)、可构造逻辑块(CLB)和互联资源。FPGA 中的 CLB 有 13 个输入和 4 个输出,内部有三个函数发生器、两个沿触发器。一个 CLB 可实现多变量函数,减少了 CLB 的需求和信号的传输时延。

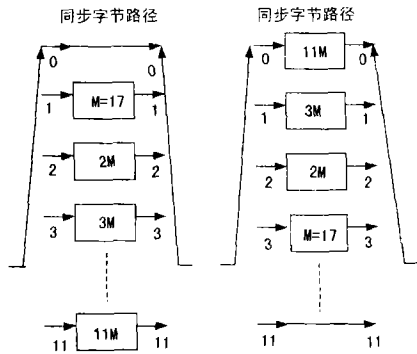
FPGA 器件及其配套软件是开发大规模数字集成电路的最新技术。它利用计算机辅助设计,以电路原理图、状态机或 VHDL 硬件描述语言等方式输入设计逻辑,再经过一系列变换,将输入的逻辑转换为适合于 FPGA 器件结构的图形文件或文本文件格式。这样可以进行修改或编辑,并且可以进行模拟仿真,最后确定设计文件。

经过模拟仿真验证后的设计文件转换成比特流文件或 PROM(可编程只读存储器)格式文件后,就可以用常规的编程器对 EPROM(可擦可编程只读存储器)编程,然后把 EPROM 与 FPGA 器件适当连接,此 FPGA 器件就可作为大规模专用集成电路应用了。用不同的设计文件配置同一块“白片”,可实现不同的逻辑功能。目前 FPGA 的集成度已经达到几十万门数量级,工作频率可达 100MHz 以上。

3 FPGA 实现

3.1 卷积交织器的电路实现

DVB 中的卷积交织器与去卷积交织器原理框图见图 4。卷积交织器由 0~11 行构成,第 0 行直通,第 1 行由 $M=17$ 个存储器,第 2 行为 $2M(2 \times 17$ 字节),以后逐行增加,第 11 行为 $11M(11 \times 17$ 字节)。



(a)DVB 卷积交织框图 (b)DVB 去卷积交织框图
图 4 DVB 卷积交织和去卷积交织框图

该卷积交织器采用并入并出方式,17 个存储器由 17 个并入并出的移位寄存器串联而成,将其形成一个“宏”,其余各行分别由若干个“宏”串联而成,整个电路均由一个时钟进行控制。

3.2 卷积交织器的外接口

卷积交织器的输入信号有数据输入 DIN、时钟输入 CLKIN,复位信号 RST,输出信号有数据输出 DOUT、时钟输出 CLKOUT。外接口图如图 5 所示。

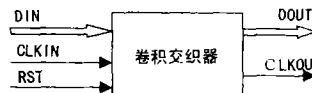


图 5 卷积交织编码器的外接口

3.3 电路设计

这里采用了 Xilinx Foundation Series V1.5 开发工具实现对该电路的设计和模拟。该开发工具把一个工程项目从开始到最后实现的各个环节都集成在一起,使用户操作起来更简单、迅捷。

设计流程:①使用电路原理图方式画出逻辑电路;②功能模拟;③编辑设计的约束项和控制项;④针对特定的 FPGA 器件优化设计;⑤产生比特流文件和时序网表;⑥根据时序网表进行时序模拟。时序网表包含布局和布线处理后的时序信息,所以这种模拟更接近于现成电路;⑦把比特流文件下载到 FPGA 器件中去。这里使用了原理图方式进行编辑,是因为原理简单,易于实现。现在最常使用 VHDL 语言进行编辑,它更适合改编,使用更方便。

4 结束语

卷积交织编码电路经计算机模拟及使用后满足设计要求。另该电路采用了并行处理方法,以“字节”为处理方法,大大提高了编码速度。用可编程逻辑器件来实现卷积编码电路,具有设计灵活、性能可靠,集成度高等优点。

参考文献

- 1 杨尧生,王新田,黄伟. 卫星传送标准(DVB-S)中的卷积交织. 电视技术,1998,(12):17
- 2 陈磊,夏天,龚建荣. 用 FPGA 实现数字有线电视系统中的 RS 编码器. 电视技术,2000,(1):30~31
- 3 于伟,李文,鞠德航. 高速 RS 编码器的 FPGA 实现. 中国空间科学技术,1999,(8):67~71

无线电工程

《无线电工程》是由信息产业部主管、电子第五十四所主办、深圳亚科希资讯公司协办的面向广大无线电工程设计人员和行业应用客户的专业期刊。自 1971 年创刊以来,以严谨、权威、切实、求实等新特色,在读者当中享有盛誉,赢得业界充分肯定,已成为国内具有广泛影响力的专业核心期刊。

随着数字化时代的来临,一直以推动我国无线电事业发展为己任的《无线电工程》,也进入了新的发展阶段。本刊在保持原有优势的基础上,走创新之路,力求在知识经济时代浪潮中取得新突破。

《无线电工程》通过一系列改革扩充版面内容,开辟了封面专题、系统方案、新技术新业务、新品在线、业界动态、人物专访等栏目,更进一步贴近企业,扩大读者群,引起企业内技术人员的关注。

《无线电工程》为月刊,全年 12 期,订价为 102 元。国内发行代号:18-150,全国各地邮局均可订阅。

欢迎订阅,有关详情请咨询:

0755-3683994,3683618-2005

地址:深圳市深南中路电子科技大厦 C 座 50 号信箱

邮编:518031

传真:0755-3683702

E-mail: cir@aitinfo.com Http://www.aitinfo.com

0311-3633330-4962 传真:0311-3628044

地址:石家庄市 174 信箱 215 分箱 邮编:050002

E-mail: gch@heb.cetin.net.cn