

MPEG-2 视频系统 纠错编解码的 FPGA 实现

梁小萍(中山大学,广东 广州 510275)

摘要:针对 MPEG-2 传输流,提出了在通信信道传输时结合交织的纠错编解码方案,并完成硬件实现。纠错编码部分包括 RS 码、卷积交织和增信删余卷积码,采用硬件描述语言 VHDL 作设计输入,使用现场可编程门阵列 FPGA 实现。纠错解码部分主要采用专用解码芯片实现。结合了纠错技术的 MPEG-2 视频系统使传输误码率从 $10^{-2} \sim 10^{-3}$ 降低到 $10^{-7} \sim 10^{-8}$,该系统已经应用于实时监控中,性能良好。

关键词: MPEG-2; RS 码; 卷积交织; 硬件描述语言; 现场可编程门阵列

中图分类号: TN919.81 **文献标识码:** A **文章编号:** 1007-7022(2004)22-0006-07

FPGA Implementation of Error Correction Code in MPEG-2 System

LIANG Xiao-ping

(Sun Yat-sen University, Guangdong Guangzhou, 510275, China)

Abstract: A FEC scheme combined with interleaving and its hardware implementation aiming at the transmission of MPEG-2 Transport Stream in communication channel are proposed. The FEC encoding part including RS coding, convolutional interleaver and punctured convolutional coding, is designed with VHDL and implemented with FPGA, and the FEC decoding part implemented with dedicated IC. The MPEG-2 system combined with FEC has reduced BER from $10^{-2} \sim 10^{-3}$ to $10^{-7} \sim 10^{-8}$, and been used in real-time monitor, and got good result.

Key words: MPEG-2; RS coding; convolutional interleaver; VHDL; FPGA

1 引言

在实际信道上传输数字视频信号时,由于信道传输特性不理想及加性噪声的影响,接收端所收到的数字信号不可避免地会发生错误,为了提高传输的可靠性,需要对数字视频信号进行纠错编码。纠错编码能纠正信道中发生的随机离散错误,但却无法纠正由脉冲干扰和信道衰落等引起的突发错误,通常的做法是采取纠错编码结合交织技术的方法来对付突发错误,

本系统就采用了 RS 加卷积级联的前向纠错方案。

随着 EDA 技术与 IC 技术的快速发展,复杂电路系统的设计难度大为降低,其中 VHDL 和 FPGA 受到了广大电路系统设计者的宠爱。运用 FPGA 来实现电路设计具有设计灵活、性能可靠、成本低和集成度高等优点。而采用 VHDL 进行设计输入,可有效降低设计 FPGA 的难度,缩短系统的设计和调试周期。本系统的设计使用了 Xilinx 公司的 Foundation Series 开发工

基金项目:与重庆金美公司的合作项目“MPEG-2 编解码器系统”(00101H07)

作者简介:梁小萍(1977-),女,助教,硕士,从事电子通信学科教学与信息安全技术研究工作。

具和 SpartanII 系列器件 FPGA XC2S50 - 5TQ144 和 PROM XC17S50A。

2 RS 加卷积级联的纠错方案及其实现

本系统要求在无线信道上传输符合 MPEG-2 标准的数字图像,系统传输信道的原始误码率为 $10^{-2} \sim 10^{-3}$,要求经过纠错编码后数据的传输误码率减少为 $10^{-7} \sim 10^{-8}$ 。针对无线信道的特性和本系统的技术要求,本文采用符合 DVB-S 标准的信道纠错 FEC 方案,该方案为 3 层级联码,外码为 RS 码,中间层为卷积交织,内码为卷积码,具体方案采用的是缩短 Reed-Solomon 码(RS 码)和增信删余卷积码,外码为 $GF(2^8)$ 域上(255,239)的缩短(204,188)RS 码,内编码为增信删余的(2,1,7)卷积码,码率为 3/4,中间层是交织深度为 12 的卷积交织编码。方案框图如图 1 所示。

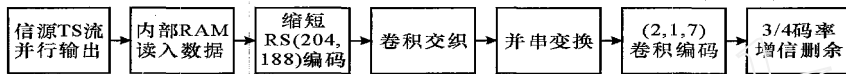


图 1 纠错编码方案框图

2.1 RS 编码器的实现

本文采用的 RS(204,188)码是 RS(255,239)码的缩短码,去掉了 RS(255,239)码中前 51 个信息元素为 0 的码字。该码能纠正连续 8 个码元的错误,而每码元长度为 8 个比特,即最大纠正长度为连续 64 比特。RS 编码器实现电路如图 2 所示。

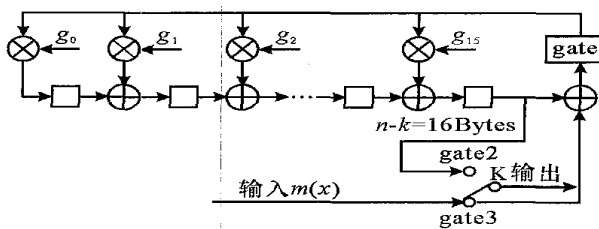


图 2 RS(204,188)编码器电路框图

RS 编码器的设计和实现的关键是多项式乘法器,其实现比较复杂。根据以下的计算先求出 RS(204,188)码生成多项式的系数:

$$\begin{aligned}
 g(x) &= (x - \alpha^0)(x - \alpha^1) \dots (x - \alpha^{15}) \\
 &= x^{16} + x^{15} \cdot 120 + x^{14} \cdot 104 + x^{13} \cdot 107 + x^{12} \cdot 109 + x^{11} \cdot 102 \\
 &\quad + x^{10} \cdot 161 + x^9 \cdot 76 + x^8 \cdot 3 + x^7 \cdot 91 + x^6 \cdot 191 + x^5 \cdot 147 \\
 &\quad + x^4 \cdot 169 + x^3 \cdot 182 + x^2 \cdot 194 + x^{225} + 120 \\
 &= x^{16} + 3Bx^{15} + Dx^{14} + 68x^{13} + BDx^{12} + 44x^{11} + \\
 &\quad D1x^{10} + 1Ex^9 + 8x^8 + A3x^7 + 41x^6 + 29x^5 + \\
 &\quad E5x^4 + 62x^3 + 32x^2 + 24x + 3B
 \end{aligned}$$

式中 16 个系数 3B、D、68、..24、3B 是用 16 进制表示的 8 位数,这就确定了乘法器抽头系数 $g_0、g_1、\dots$

g_{15} ,抽头系数与 $GF(2^8)$ 域上每个元素的多项式相乘就可以实现乘法器的运算。RS(204,188)编码器的仿真波形如图 3 所示。

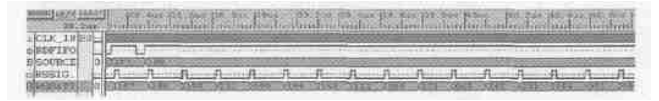


图 3 RS(204,188)编码器仿真波形

2.2 卷积交织器的实现

卷积交织的实时性较好,而且所需的存储器比较少。在本系统中采用交织深度为 12、延迟单元为 17 的卷积交织器,输入是 RS(204,188, $T=8$) 误码保护包。在卷积交织输出的序列中,同一个误码包任意两个字节的最小距离为 12 字节。RS(204,188)码的最大纠错能力为 8 字节,加上卷积交织以后,可以纠正 8 个突发长度为 12 字节的错误,即可纠正的最大突发性干扰造成的错误字节长度为 $8 \times 12 = 96$ 字节,从而使系统的纠错能力大为提高。

本文采用 RAM 移位法实现卷积交织器,即采用读写地址线各 11 根的 2 K 双口 RAM。系统实现方案如图 4 所示。

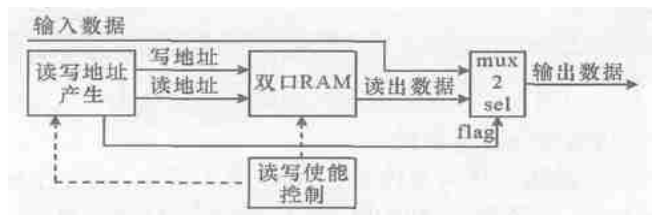


图 4 卷积交织器的实现框图

设计中的关键是 RAM 地址的分配和读写地址的产生。卷积交织器中,每一支路的读写地址按照各自的时延规律变化,设第 i 支路的首地址为 b_i ,由 bicreat 产生,尾地址为 c_i ,由 cicreat 产生,则 RAM 的读写地址的变化规律为:

$$\begin{aligned}
 \text{第 } i \text{ 支路读地址: } & a_i + b_i \\
 \text{第 } i \text{ 支路写地址: } & \begin{cases} a_i + b_i - 1, & \text{当 } a_i \neq 0 \\ c_i, & \text{当 } a_i = 0 \end{cases}
 \end{aligned}$$

本文采用了 Xilinx Foundation 3.1i SpartanII 器件库中的内部双口 RAM RAMB4-S8-S8(4 096 bit,即 512 Byte,地址总线位数为 9 位)3 片来组成所需的 RAM。仿真波形如图 5 所示。

2.3 增信删余卷积编码器的实现

卷积码的输入是串行的比特序列,每输入 1 个比

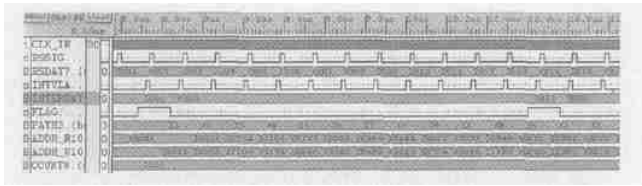


图 5 卷积交织器系统仿真波形

特,连同输入的比特共有 7 个比特同时参与两个模 2 加运算,并输出两路串行比特 X 和 Y。

本文对 (2,1,7) 卷积码进行 3/4 码率的增信删余。增信删余编码的输入为经过卷积编码后同时输出的 X 和 Y 信号,即

$$\begin{cases} X1, X2, X3, X4, X5, X6 \dots \\ Y1, Y2, Y3, Y4, Y5, Y6 \dots \end{cases}$$

码率为 3/4 的模式经过删除特定比特后的输出

为:

$$\begin{cases} X1, X3, X4, X6 \dots \\ Y1, Y2, Y4, Y5 \dots \end{cases}$$

仿真波形如图 6 所示。

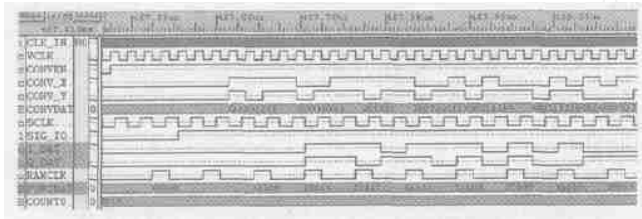


图 6 增信删余卷积编码器输出波形

3 纠错编码硬件系统

纠错编码硬件系统的框图如图 7 所示,该硬件系统包括:电源模块、PROM、输入、输出、单片机(MCU)和 FPGA 芯片。



图 7 纠错编码系统硬件框图

电源模块,用于 DC(直流电)到 AC 的变换。

PROM,使用与 SpartanII 的 FPGA 器件 XC2S50 - 5TQ144 配置相兼容的 PROM XC17S50A,用于存储配置 FPGA 所需的数据与程序,每次启动系统时由 PROM 向 FPGA 加载。

从 FPGA 资源使用情况来看,纠错编码的设计与实现是比较成功的,它使用了较少的资源。

4 纠错解码方案及其实现

本系统的纠错编码部分采用如图8的纠错解码方

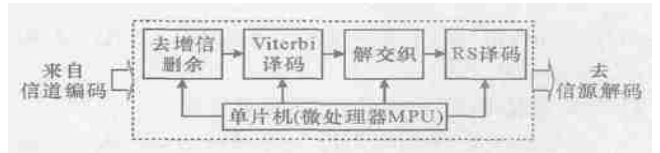


图 8 纠错解码方案框图

案:

解增信删余(De - Puncture),也称为卷积码的解压缩编码,是增信删余的逆过程,用于在接收端将增信删余卷积码还原成原来的卷积码编码。接收端收到码序列以后,在原来的删除码元(比特)位置上填充特定的虚假码元(比特),然后送入(2,1,7)码的VB译码器,并且译码器译码时禁止对这些虚假码元作量度计算,从而使这类增信删余码的译码就可基于普通的(2,1,N)码的VB译码器方法进行。解交织是卷积交织的逆过程,RS译码采用BM迭代译码算法。综合解码要求并考虑到其实现的难度,本文选用美国 Advanced Hardware Architectures 公司出品的 AHA4210 解码芯片来实现纠错解码方案。

纠错解码硬件系统的框图如图 9 所示,该硬件系统包括:电源模块、PROM、输入、输出、AHA4210 译码芯片、单片机(MCU)和 FPGA 芯片。



图 9 纠错解码系统硬件框图

AHA4210 译码芯片完成信道纠错解码的功能。单片机(MCU)采用 1 片 ATMEL 公司的 8 位 AT89C2051,完成对 AHA4210 译码芯片的配置(使用 I²C 总线)、监视与控制,给 FPGA 芯片提供复位信号。FPGA 芯片完成数据进入 AHA4210 译码芯片前的预处理与码流控制,并对从 AHA4210 译码芯片输出的数据进行处理和码流控制。

纠错解码的实现是也是比较成功的,不足之处在于采用了专用解码芯片,价格偏高,所采用的 FPGA 资源没能很好地开发利用。

5 总结

本文根据 MPEG- 2 视频系统的要求进行了符合 DVB 标准的级联码纠错方案的 VHDL 设计与 FPGA 实现,即缩短 RS(204,188)、卷积交织(交织深度为

RTSP 协议研究及其在 一种 VOD 中的实现

张 林,王芙蓉(华中科技大学,湖北 武汉 430074)

摘 要:介绍了流媒体技术和 RTSP 协议,提出一种灵活运用 RTSP 协议的 VOD 系统解决方案,并结合 VOD 系统对 RTSP 文本编解码进行了较深入的讨论,为基于 RTSP 协议的各项应用提供参考。

关键词:流媒体;RTSP 协议;VOD 系统;文本编码

中图分类号: TN948.64 **文献标识码:** A **文章编号:** 1007-7022(2004)22-0009-04

Research of RTSP and Its Realization in a VOD System

ZHANG Lin, WANG Fu-rong

(Huazhong University of Science and Technology, Hubei Wuhan 430074, China)

Abstract: The article introduces streaming media technique and RTSP protocol. It brings forward a solution to the VOD system with flexible application of RTSP, and makes a deep research into RTSP text encode/decode according to the implementation of the VOD system. This can give references to various RTSP applications.

Key words: streaming media; RTSP; VOD system; text encode

12)和增信删余型(2,1,7)卷积码的级联,提出并实现了采用专用解码芯片的纠错解码方案。

经误码仪测试,该纠错编解码系统使传输误码率从 $10^{-2} \sim 10^{-3}$ 降低到 $10^{-7} \sim 10^{-8}$,目前该系统正应用于实时监控中,性能良好。

参考文献:

- [1] 于伟,李文,鞠得航.高速RS编码器的FPGA实现[J].空间科学技术,1999,19(4):66-71.
- [2] 车晴,王京玲.数字卫星广播系统[M].北京:北京广播学院出版社,2000.
- [3] 沈兰荪,卓力,田栋,等.视频编码与低速率传输[M].北京:电子工业出版社,2001.

- [4] 卢毅,赖杰.VHDL与数字电路设计[M].北京:科学出版社,2001.
- [5] 徐元欣,王匡,仇佩亮.实现卷积交织的几种实用方法[J].电路与系统学报,2001,6(1):7-12.
- [6] 王新梅,肖国镇.纠错码——原理与方法[M].西安:西安电子科技大学出版社,2002.
- [7] Digital Video Broadcasting (DVB). Framing structure, channel coding and modulation for 11/12 GHz satellite services, EN 300 421 V1.1.2, 1997-08.
- [8] Digital Video Broadcasting (DVB). Framing structure, channel coding and modulation for cable systems, EN 300 429 V1.2.1, 1998-04.

[收稿日期:2004-06-09]

作者简介:张林(1980-),男,硕士研究生,主要研究方向为通信网与通信软件;王芙蓉(1966-),女,教授,主要研究方向为通信网络技术、软件工程。