



采用低成本 **FPGA** 巧妙地扩展微控制器连接

莱迪思半导体白皮书

2013 年 3 月

Lattice Semiconductor
5555 Northeast Moore Ct.
Hillsboro, Oregon 97124 USA
电话: (503) 268-8000
www.latticesemi.com.cn

微控制器互连面临的挑战与解决方案

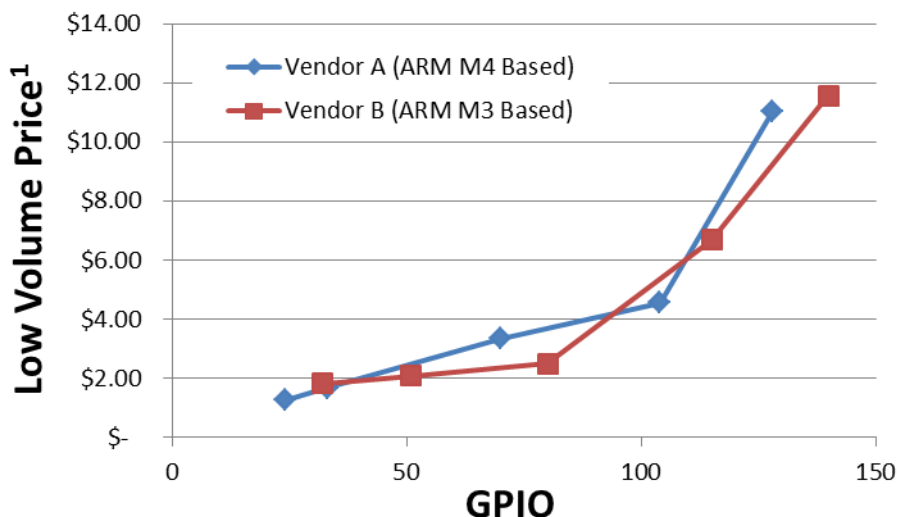
微控制器已成为现代系统设计中不可或缺的器件。然而，无线基站和计算机服务器等各种行业的系统架构中，微控制器与系统其他部分的互连一般面临着三个主要问题：

- 配置 150 路以上通用 I/O (GPIO)
- 寻找 100 至 150 路 GPIO 范围内经济高效的解决方案
- 可用 I/O 外设与系统需求相匹配

近十年来，FPGA 技术的成本和功耗显著降低使其适合用来实现这些功能。

微控制器互连技术回顾

回顾中档微控制器互连通常可以看到三个特点。首先，大部分产品最多的 GPIO 限于 100 到 150。其次，GPIO 的单位成本与 100 路 GPIO 以下每路 GPIO 增加的成本不是线性关系。最后，尽管大部分微控制器具有某些连接外设，如 UART、SPI 和 I2C，但外设数量和可用组合方式有限。



1. Based on US distributors web pricing, March 2013

图 1 – 中档微控制器的 IO 选择

图 1 所示为常用的 GPIO 产品和相应的小批量定价，数据来源为一家美国代理商提供的两种常用的中档微控制器，一种微控制器基于 ARM M3，另一种基于 ARM M4。两款产品定价的拐点出现在接近 100 路 GPIO 处，并限定总的 GPIO 数量。

FPGA 技术回顾

近二十年来，FPGA 技术为快速实施扩展连接提供了方法。然而，这些器件过去存在的成本和功耗问题限制了这种方法的实际应用。不过，FPGA 成本和功耗按照摩尔定律显著下降。1995 年，具有等同于目前 256 查找表 (LUT) 功能的 FPGA 器件的成本为 50 多美元。现在，具有这种功能的最新器件仅售 0.50 美元。功耗方面也取得了同样的进展。以列举的器件为例，1995 年，其静态功耗为 0.5W。目前，这已降低到 50uW 以下。这种下降趋势如图 2 所示。

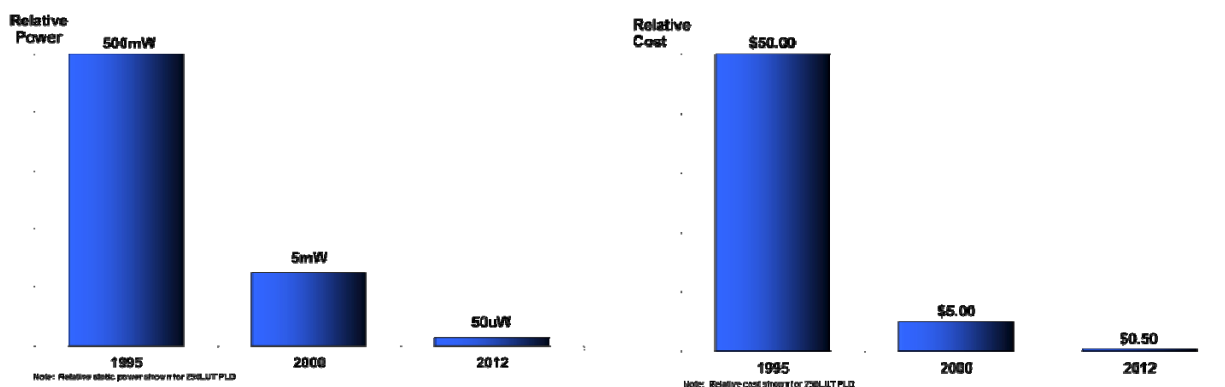
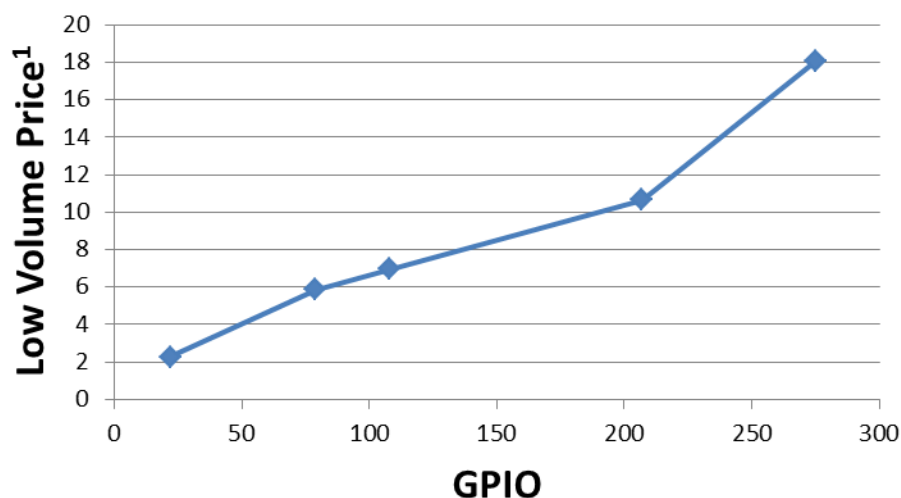


图 2 – FPGA 成本与功耗趋势对比

低成本 FPGA 提供了各种 I/O 数量，例如莱迪思超低密度 MachXO2 器件的 I/O 数量为 22 到 250 以上。如图 3 所示，整个 IO 范围内的定价呈现出相当好的线性规律，图中小批量价格曲线来自一家美国的代理商。



1. Based on US distributor's web pricing, March 2013

图 3 – 低成本 FPGA 的 IO 特性

除逻辑和 I/O 外，MachXO2 器件还具有大量有助于扩展微控制器连接功能的模块。其中包括嵌入式 RAM 块(EBR)、锁相环(PLL)以及提供 SPI、2*I2C、定时计数器和用户闪存等硬件化的嵌入式功能块(EBR)。

接口实施方法

UART、SPI 和 I2C 是微控制器连接的重要组成部分。大部分中档微控制器所能提供的这类重要接口的数量有限。图 4 显示了上节所述器件中这类接口的数量。

接口	供应商 A (基于 ARM M4)	供应商 B (基于 ARM M3)
I2C	1-2	1-2
SPI	1-3	1-2
UART	1-6	1-3

图 4 – 上节所述器件中这类接口的数量

当设计所需接口多于微控制器本身具有的数量时，设计师可采用两种常用方法：

- 微控制器 GPIO 控制 (即位拆裂)

- **FPGA 的硬件实施方法**

位拆裂方法存在三个主要缺点。首先，接口运行速度会被限制在几 MHz，造成微控制器难以快速控制 IO 脚状态。第二，由于负载增加并缩短了微控制器处于低功耗睡眠模式的时间，会增加处理器功耗。第三，由于定时精度有限，除非最慢速度，微控制器无法实施异步 UART 型接口。

在大约 250 LUT 条件下，FPGA 可以全面实施其中任何一种接口，而经优化版本仅需要约 100 LUT。根据选择的器件大小，相应矩阵中可轻松增加几十个接口。由于 FPGA 具有硬件特性，实施的速度可以轻松达到几十 MHz。FPGA 还可以实施缓冲和智能中断，从而延长微控制器睡眠模式，降低总体功耗。

利用参考设计轻松实施

您可以利用 FPGA 供应商所提供的参考示例作为起点，轻松实施微控制器连接扩展。莱迪思半导体提供了四种具有代表性的示例：

- [RD1124 -- 采用嵌入式功能块的 I2C 从外设](#)
- [RD1125 -- 采用嵌入式功能块的 SPI 从外设](#)
- [RD1042 -- Wishbone UART](#)
- [I2C 从器件与 SPI 主器件的桥接](#)

巧妙的连接扩展举例

通过巧妙地在微控制器与 FPGA 之间进行配置，设计师可以在提供系统所需连接的同时，降低总体实施成本。图 5 显示了根据前面提供的价格数据，调查采用各种 FPGA 和微控制器资源的实施方法的成本。从图中可以看到，最大限度利用 FPGA 支持连接扩展，成本可降低 24%到 34%。

Case 1 -- Implementing uP System with 125 GPIO

<u>Option A</u>	Vendor A -- uP + 128 GPIO	\$ 11.05	Vendor B -- uP + 140 GPIO	\$ 11.56
	Total	\$ 11.05	Total	\$ 11.56
<u>Option B</u>	Vendor A -- uP + 24 GPIO	\$1.25	Vendor B -- uP + 32 GPIO	\$1.82
	FPGA + 108 IO	\$6.95	FPGA + 108 IO	\$6.95
	Total	\$8.20	Total	\$8.77
Saving		26%		24%

Case 2 -- Implementing a uP system 225 GPIO

<u>Option A</u>	Vendor A -- uP + 128 GPIO	\$ 11.05	Vendor B -- uP + 140 GPIO	\$ 11.56
	FPGA + 108 IO	\$6.95	FPGA + 79 IO	\$ 5.85
	Total	\$ 18.00	Total	\$ 17.41
<u>Option B</u>	Vendor A -- uP + 24 GPIO	\$1.25	Vendor B -- uP + 32 GPIO	\$1.82
	FPGA + 207 IO	\$10.65	FPGA + 207 IO	\$10.65
	Total	\$11.90	Total	\$12.47
Saving		34%		28%

图 5 – 巧妙的系统配置举例**低成本、低功耗的 FPGA 使您可以重新考虑系统配置**

15 年来，FPGA 的成本和功耗降低了 2 个数量级。这些改进使设计师得以重新考虑如何实施微控制器连接。通过巧妙地在微控制器与 FPGA 之间进行配置，设计师现在可以降低成本和功耗，同时提高系统的性能和灵活性。

###